

Docket No.: 67160-015

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Hisaya MORI, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: August 26, 2003	:	Examiner:
	:	
For: APPARATUS FOR TESTING SEMICONDUCTOR INTEGRATED CIRCUIT	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-049893, filed February 26, 2003

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:prg
Facsimile: (202) 756-8087
Date: August 26, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

G729 VS
67160-015
MORI et al.
August 26, 2003
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月26日

出 願 番 号

Application Number:

特願2003-049893

[ST.10/C]:

[JP2003-049893]

出 願 人

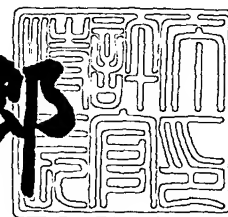
Applicant(s):

三菱電機株式会社

2003年 3月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3017791

【書類名】 特許願

【整理番号】 542559JP01

【提出日】 平成15年 2月26日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 1/10

【発明者】

【住所又は居所】 兵庫県伊丹市瑞原四丁目1番地 菱電セミコンダクタシステムエンジニアリング株式会社内

【氏名】 森 長也

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 船倉 輝彦

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 花井 寿佳

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100082175

【弁理士】

【氏名又は名称】 高田 守

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100066991

【弁理士】

【氏名又は名称】 葛野 信一

【電話番号】 03-5379-3088
【選任した代理人】
【識別番号】 100106150
【弁理士】
【氏名又は名称】 高橋 英樹
【電話番号】 03-5379-3088
【手数料の表示】
【予納台帳番号】 049397
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路の試験装置およびそれを用いた半導体集積回路の製造方法

【特許請求の範囲】

【請求項 1】 被試験半導体集積回路と信号のやり取りを行なうテスト回路基板、およびこのテスト回路基板の近傍に配置され前記テスト回路基板に接続されたテスト補助装置を備え、このテスト補助装置が被試験半導体集積回路に含まれるデジタル回路に対するテストを行なうデジタル回路試験機能を有する半導体集積回路の試験装置であって、前記テスト補助装置が、

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれるテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器に書き込む動作を制御する制御部とを有し、

前記テスト補助装置が、前記テストパターン信号発生器に書き込まれたテストパターンデータに基づいて、被試験半導体集積回路に対するテスト入力パターン信号を発生し、このテスト入力パターン信号に基づき被試験半導体集積回路から出力されるテスト出力パターン信号を判定することにより、被試験半導体集積回路のデジタル回路の試験を行なうことを特徴とする半導体集積回路の試験装置。

【請求項 2】 請求項 1 記載の半導体集積回路の試験装置であって、前記テストパターンメモリが、前記テストパターン信号発生器の記憶容量よりも大きな記憶容量を持って構成されたことを特徴とする半導体集積回路の試験装置。

【請求項 3】 請求項 2 記載の半導体集積回路の試験装置であって、前記テストパターン信号発生器が、前記テストパターンメモリよりも高速のメモリで構成されたことを特徴とする半導体集積回路の試験装置。

【請求項 4】 請求項 1 記載の半導体集積回路の試験装置であって、前記テスト補助装置がさらに CPU 部を有し、この CPU 部は前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出すための選択指示信号を発生し、前記制御部がこの選択指示信号に基づいて前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出し、前記テストパターン信号発生器に書き込むことを特徴とする半導体集積回路の試験装置。

【請求項 5】 請求項 1 記載の半導体集積回路の試験装置であって、前記制御部が前記テストパターン信号発生器に書き込まれたテストパターンデータを読み出し、前記テストパターン信号発生器がこのテストパターンデータの読み出しに基づき、テストパターン信号と、テスト入力・判定パターン信号を発生することを特徴とする半導体集積回路の試験装置。

【請求項 6】 請求項 5 記載の半導体集積回路の試験装置であって、前記テスト補助装置がさらに波形整形部を有し、この波形整形部が前記テストパターン信号に基づいてテスト入力パターン信号を整形し、このテスト入力パターン信号が被試験半導体集積回路へ入力されることを特徴とする半導体集積回路の試験装置。

【請求項 7】 請求項 6 記載の半導体集積回路の試験装置であって、前記テスト補助装置がさらに出力判定部を有し、この出力判定部が、被試験半導体集積回路から出力されるテスト出力パターン信号と前記テストパターン信号とを比較して、エラーデータ信号を出力することを特徴とする半導体集積回路の試験装置。

【請求項 8】 請求項 7 記載の半導体集積回路の試験装置であって、前記テスト補助装置がさらにエラー情報メモリ部を有し、このエラー情報メモリ部は、前記テストパターン信号発生器に書き込まれたテストパターンデータを読み出すためのアドレス情報を受けるように構成され、前記出力判定部が前記エラーデータ信号を発生したときのアドレス情報をも併せて記憶することを特徴とする半導体集積回路の試験装置。

【請求項 9】 請求項 1 記載の半導体集積回路の試験装置であって、前記テ

スト補助装置がさらにタイミング信号発生器を有し、このタイミング信号発生器は、テスト周期信号と、クロック信号と、ストローブ信号を発生し、前記クロック信号とストローブ信号はそれぞれ前記テスト周期信号からある時間遅れて発生される信号であって、このクロック信号は前記テスト入力パターン信号の立ち上げタイミング、および立ち下げタイミングを設定するのに使用され、また前記ストローブ信号は前記テスト入力パターン信号に基づいて被試験半導体集積回路から出力されるテスト出力パターン信号に対する判定タイミングを設定するのに使用されることを特徴とする半導体集積回路の試験装置。

【請求項 1 0】 請求項 1 記載の半導体集積回路の試験装置であって、前記テスト補助装置が複数のチャンネルを有し、そのそれぞれのチャンネルに、前記テストパターンメモリと前記テストパターン信号発生器と前記制御部とを有することを特徴とする半導体集積回路の試験装置。

【請求項 1 1】 請求項 1 0 記載の半導体集積回路の試験装置であって、前記テスト補助装置が前記各チャンネルに対する共通部分に CPU 部を有し、この CPU 部が各チャンネルの前記制御部に対して、前記選択テストパターンデータを選択するための選択指示信号を与えることを特徴とする半導体集積回路の試験装置。

【請求項 1 2】 請求項 1 記載の半導体集積回路の試験装置であって、前記テスト補助装置を搭載したテスト補助回路基板が、前記テスト回路基板上に配置されたことを特徴とする半導体集積回路の試験装置。

【請求項 1 3】 請求項 1 記載の半導体集積回路の試験装置であって、前記テスト補助装置が、前記テスト回路基板に直接実装されたことを特徴とする半導体集積回路の試験装置。

【請求項 1 4】 請求項 1 記載の半導体集積回路の試験装置であって、この試験装置は前記テスト回路基板の近傍に配置されたテストヘッド装置を有し、このテストヘッド装置は複数の回路基板を組み合わせたテスト補助装置組立を含み、前記複数の回路基板上に、前記テスト補助装置がその回路部品を分散して、搭載されたことを特徴とする半導体集積回路の試験装置。

【請求項 1 5】 請求項 1 4 記載の半導体集積回路の試験装置であって、前

記テスト補助装置組立は、5枚の回路基板を有し、この5枚の回路基板の中の2枚の回路基板は前記テスト回路基板とほぼ並行に配置され、また他の3枚の回路基板は前記テスト回路基板とほぼ垂直に配置されることを特徴とする半導体集積回路の試験装置。

【請求項16】 請求項15記載の半導体集積回路の試験装置であって、前記テストヘッド装置は、スコープ穴を有するテストヘッドを含み、前記テスト回路基板とほぼ垂直に配置された3枚の回路基板は、その一部が前記スコープ穴内に一様に、配置されたことを特徴とする半導体集積回路の試験装置。

【請求項17】 被試験半導体集積回路と信号のやり取りを行なうテスト回路基板、およびこのテスト回路基板の近傍に配置され前記テスト回路基板に接続されたテスト補助装置を備え、このテスト補助装置が被試験半導体集積回路に含まれるデジタル回路に対するテストを行なうデジタル回路試験機能を有する半導体集積回路の試験装置であって、前記テスト補助装置が、

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれるテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器に書き込む動作を制御する制御部とを有し、

前記テストパターン信号発生器は、テストベクタアドレス制御コードと、テストベクタアドレス制御データと、テストパターンデータとをテストベクタアドレスに沿って記憶しており、

前記制御部は、前記テストベクタアドレス制御コードとテストベクタアドレス制御データに基づいて、テストベクタアドレス信号を発生するプログラムカウンタを有し、

前記テストパターン信号発生器は、前記テストベクタアドレス信号によってテストベクタアドレスを進めながら、前記テストパターンデータに基づいてテスト

パターン信号を発生し、

前記テスト補助装置が、このテストパターン信号に基づいて被試験半導体集積回路へのテスト入力パターン信号を発生し、このテスト入力パターン信号に基づき被試験半導体集積回路から出力されるテスト出力パターン信号を判定することにより、被試験半導体集積回路のデジタル回路の試験を行なうことを特徴とする半導体集積回路の試験装置。

【請求項 1 8】 被試験半導体集積回路と信号のやり取りを行なうテスト回路基板、およびこのテスト回路基板の近傍に配置され前記テスト回路基板に接続されたテスト補助装置を備え、このテスト補助装置が被試験半導体集積回路に含まれるデジタル回路に対するテストを行なうデジタル回路試験機能を有する半導体集積回路の試験装置であって、前記テスト補助装置が、

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれるテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器に書き込む動作を制御する制御部とを有し、

前記テストパターン信号発生器は、アルゴリズムックデータ発生レジスタ用制御コードと、アルゴリズムックデータ発生レジスタ用制御データと、テストベクタアドレス制御コードと、テストベクタアドレス制御データとをテストベクタアドレスに沿って記憶しており、

前記制御部は、前記テストベクタアドレス制御コードとテストベクタアドレス制御データに基づいて、テストベクタアドレス信号を発生するプログラムカウンタと、前記アルゴリズムックデータ発生レジスタ用制御コードとアルゴリズムックデータ発生レジスタ用制御データに基づいて、アルゴリズムックなテストパターン信号を発生する複数のレジスタグループを有し、

前記テスト補助装置が、このテストパターン信号に基づいて被試験半導体集積

回路へのテスト入力パターン信号を発生し、このテスト入力パターン信号に基づき被試験半導体集積回路から出力されるテスト出力パターン信号を判定することにより、被試験半導体集積回路のデジタル回路を試験することを特徴とする半導体集積回路の試験装置。

【請求項 19】 請求項 1 記載の半導体集積回路の試験装置であって、前記テストパターン信号発生器は、複数のチャンネルを有し、それぞれのチャンネルからテストパターンデータを読み出すように構成され、また前記制御部はそれぞれのチャンネルから読み出されたテストパターンデータが入力されるパラレルシリアル変換器を有し、このパラレルシリアル変換器は各チャンネルのそれぞれから読み出されたテストパターンデータをテスト周期毎にシリアルに出力する機能を持つことを特徴とする半導体集積回路の試験装置。

【請求項 20】 請求項 1 記載の半導体集積回路の試験装置であって、前記テスト補助装置がさらにタイミング信号発生器を有し、このタイミング信号発生器は、テスト周期信号と、セットクロック信号と、リセットクロック信号と、ストロブ信号を発生し、前記セットクロック信号とリセットクロック信号とストロブ信号はそれぞれ前記テスト周期信号から、ある可変の時間遅れで発生され、前記セットクロック信号が前記テスト入力パターン信号の立ち上げタイミングを設定するのに使用され、前記リセットクロック信号が前記テスト入力パターン信号の立ち下げタイミングを設定するのに使用され、また前記ストロブ信号が被試験半導体集積回路から前記テスト入力パターン信号に基づいて出力されるテスト出力パターン信号に対する判定タイミングを設定するのに使用されることを特徴とする半導体集積回路の試験装置。

【請求項 21】 請求項 1 記載の半導体集積回路の試験装置であって、前記テスト補助装置がさらに、被試験半導体集積回路とのインターフェイス回路を有し、前記インターフェイス回路は高レベル電圧発生器と、低レベル電圧発生器とを有し、これらの高レベル電圧発生器からの高レベル電圧と低レベル電圧発生器からの低レベル電圧が可変とされ、これらの高レベル電圧と低レベル電圧を持って前記テスト入力パターン信号が発生されることを特徴とする半導体集積回路の試験装置。

【請求項 2 2】 請求項 1 記載の半導体集積回路の試験装置であって、前記テスト補助装置がさらに出力判定部を有し、この出力判定部は、判定用高レベル電圧発生器からの判定用高レベル電圧と、判定用低レベル電圧発生器からの判定用低レベル電圧を用いて、被試験半導体集積回路から出力されるテスト出力パターン信号のレベルを判定するように構成され、このテスト出力パターン信号の高レベル電圧に関するエラーデータ信号と、その低レベル電圧に関するエラーデータ信号と、その高レベル電圧と低レベル電圧間の電圧に関するエラーデータ信号とを発生することを特徴とする半導体集積回路の試験装置。

【請求項 2 3】 被試験半導体集積回路と信号のやり取りを行なうテスト回路基板、およびこのテスト回路基板の近傍に配置され前記テスト回路基板に接続されたテスト補助装置を備え、このテスト補助装置が被試験半導体集積回路に含まれるデジタル回路に対するテストを行なうデジタル回路試験機能を有する半導体集積回路の試験装置であって、前記テスト補助装置が、

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれるテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器に書き込む動作と、このテストパターン信号発生器からテストパターンデータを読み出す動作を制御する制御部とを有し、

前記テスト補助装置は、前記テストパターン信号発生器から読み出されたテストパターンデータに基づいて、被試験半導体集積回路に対するテスト入力パターン信号を発生し、このテスト入力パターン信号に基づき被試験半導体集積回路から出力されるテスト出力パターン信号を判定することにより、被試験半導体集積回路のデジタル回路の試験を行なうものであって、

このテスト補助装置が、記憶媒体を着脱可能に取り付けた回路基板を含む複数の回路基板を用いて構成され、前記記憶媒体を用いて前記パターンデータメモリ

が構成されたことを特徴とする半導体集積回路の試験装置。

【請求項 2 4】 被試験半導体集積回路と信号のやり取りを行なうテスト回路基板、およびこのテスト回路基板の近傍に配置され前記テスト回路基板に接続されたテスト補助装置を備え、このテスト補助装置が被試験半導体集積回路に含まれるデジタル回路に対するテストを行なうデジタル回路試験機能を有する半導体集積回路の試験装置であって、前記テスト補助装置が、

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれる第 1、第 2 のメモリを有するテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器の第 1、第 2 のメモリに書き込む動作と、このテストパターン信号発生器の前記第 1、第 2 のメモリからテストパターンデータを読み出す動作を制御する制御部とを有し、

前記テスト補助装置は、前記テストパターン信号発生器から読み出されたテストパターンデータに基づいて、被試験半導体集積回路に対するテスト入力パターン信号を発生し、このテスト入力パターン信号に基づき被試験半導体集積回路から出力されるテスト出力パターン信号を判定することにより、被試験半導体集積回路のデジタル回路の試験を行なうものであって、

前記テストパターン信号発生器の前記第 1 のメモリに書き込まれた第 1 のテストパターンデータを読み出すときに、前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択された第 2 のテストパターンデータが前記第 2 のメモリに書き込まれることを特徴とする半導体集積回路の試験装置。

【請求項 2 5】 請求項 2 4 記載の半導体集積回路の試験装置であって、前記テストパターン信号発生器がデュアルポートメモリを用いて構成され、その第 1 のポートにより前記第 1 のメモリが構成され、その第 2 のポートにより前記第 2 のメモリが構成されることを特徴とする半導体集積回路の試験装置。

【請求項 2 6】 請求項 2 4 記載の半導体集積回路の試験装置であって、前記テストパターン信号発生器が第 1、第 2 のバンクメモリを用いて構成され、その第 1 のバンクメモリが前記第 1 のメモリを構成し、その第 2 のバンクメモリが前記第 2 のメモリを構成することを特徴とする半導体集積回路の試験装置。

【請求項 2 7】 被試験半導体集積回路と信号のやり取りを行なうテスト回路基板、およびこのテスト回路基板の近傍に配置され前記テスト回路基板に接続されたテスト補助装置を備え、このテスト補助装置が被試験半導体集積回路に含まれるデジタル回路に対するテストを行なうデジタル回路試験機能を有する半導体集積回路の試験装置であって、前記テスト補助装置が、

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれるテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器に書き込む動作と、このテストパターン信号発生器からテストパターンデータを読み出してテストパターン信号を発生させる動作とを制御する制御部と、

前記テストパターン信号に基づき被試験半導体集積回路へのテスト入力パターン信号を発生する波形整形部と、

被試験半導体集積回路から出力されるテスト出力パターン信号を判定しエラーを判定したときにエラーデータ信号を発生する出力判定部と、

前記エラーデータ信号と、このエラーデータ信号が発生したときの前記テストパターンデータの読み出しアドレスとを含むエラー情報を記憶するエラー情報メモリ部とを有し、

前記テスト補助装置が、記憶媒体を着脱可能に取り付けた回路基板を含む複数の回路基板を用いて構成され、前記記憶媒体を用いて前記エラー情報メモリ部が構成されたことを特徴とする半導体集積回路の試験装置。

【請求項 2 8】 請求項 2 7 記載の半導体集積回路の試験装置であって、前

記エラー情報メモリ部は、エラー情報取込部と、エラー情報記憶部とを有し、前記記憶媒体を用いて前記エラー情報記憶部が構成されたことを特徴とする半導体集積回路の試験装置。

【請求項 2 9】 請求項 2 7 記載の半導体集積回路の試験装置であって、前記エラー情報取込部が前記エラー情報を取り込む第 1、第 2 のメモリを有し、この第 1 のメモリがエラー情報を取り込むときに、前記第 2 のメモリが前記エラー情報記憶部にエラー情報を転送することを特徴とする半導体集積回路の試験装置。

【請求項 3 0】 請求項 2 9 記載の半導体集積回路の試験装置であって、前記エラー情報取込部がデュアルポートメモリで構成され、その第 1 のポートが前記第 1 のメモリを、またその第 2 のポートが前記第 2 のメモリをそれぞれ構成することを特徴とする半導体集積回路の試験装置。

【請求項 3 1】 請求項 2 9 記載の半導体集積回路の試験装置であって、前記エラー情報取込部が第 1、第 2 のバンクメモリで構成され、その第 1 のバンクメモリが前記第 1 のメモリを、またその第 2 のバンクメモリが前記第 2 のメモリをそれぞれ構成することを特徴とする半導体集積回路の試験装置。

【請求項 3 2】 被試験半導体集積回路と信号のやり取りを行なうテスト回路基板、このテスト回路基板の近傍に配置され前記テスト回路基板に接続された第 1 のテスト補助装置、および前記テスト回路基板の近傍に配置され前記テスト回路基板に接続された第 2 のテスト補助装置を備え、前記第 1 のテスト補助装置が被試験半導体集積回路に含まれるデジタル回路に対するテストを行なうデジタル回路試験機能を有し、また前記第 2 のテスト補助装置が被試験半導体集積回路に含まれるアナログ回路に対するテストを行なうアナログ回路試験機能を有する半導体集積回路の試験装置であって、前記第 1 のテスト補助装置が、

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれるテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から

選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器に書き込む動作と、このテストパターン信号発生器からテストパターンデータを読み出してテストパターン信号を発生させる動作を制御する制御部とを有し、

この第 1 のテスト補助装置が、前記テストパターン信号に基づいて、被試験半導体集積回路に対するテスト入力パターン信号を発生し、このテスト入力パターン信号に基づき被試験半導体集積回路から出力されるテスト出力パターン信号を判定することにより、被試験半導体集積回路のデジタル回路の試験を行ない、

被試験半導体集積回路に含まれる前記アナログ回路が、アナログ信号をデジタル信号に変換する A/D 変換回路と、デジタル信号をアナログ信号に変換する D/A 変換回路を含んでいて、

前記第 2 のテスト補助装置が、

デジタルテスト信号を発生してこのデジタルテスト信号を前記 D/A 変換回路に供給するデータ回路と、

このデータ回路が出力するデジタルテスト信号をアナログテスト信号に変換して前記 A/D 変換回路に供給する試験用 D/A 変換回路と、

前記 D/A 変換回路から出力されるアナログテスト出力をデジタルテスト変換出力に変換する試験用 A/D 変換回路と、

前記 A/D 変換回路からのデジタルテスト出力と、前記試験用 A/D 変換回路からのデジタルテスト変換出力とを記憶する測定データメモリと、

前記測定データメモリに記憶された前記デジタルテスト出力と前記デジタル変換出力を解析する解析部とを有し、

前記第 2 のテスト補助装置が被試験半導体集積回路のアナログ回路の試験を行なうことを特徴とする半導体集積回路の試験装置。

【請求項 3 3】 請求項 3 2 記載の半導体集積回路の試験装置であって、前記第 1 にテスト補助装置と前記第 2 のテスト補助装置を搭載したテスト補助回路基板が、前記テスト回路基板上に配置されたことを特徴とする半導体集積回路の試験装置。

【請求項 3 4】 請求項 3 2 記載の半導体集積回路の試験装置であって、前

記第 1、第 2 のテスト補助装置が、前記テスト回路基板に直接実装されたことを特徴とする半導体集積回路の試験装置。

【請求項 3 5】 請求項 3 2 記載の半導体集積回路の試験装置であって、この試験装置は前記テスト回路基板の近傍に配置されたテストヘッド装置を有し、このテストヘッド装置は複数の回路基板を組み合わせたテスト補助装置組立を含み、前記複数の回路基板上に、前記第 1、第 2 のテスト補助装置がそれらの回路部品を分散して、搭載されたことを特徴とする半導体集積回路の試験装置。

【請求項 3 6】 請求項 3 5 記載の半導体集積回路の試験装置であって、前記テスト補助装置組立は、5 枚の回路基板を有し、この 5 枚の回路基板の中の 2 枚の回路基板は前記テスト回路基板とほぼ並行に配置され、また他の 3 枚の回路基板は前記テスト回路基板とほぼ垂直に配置されることを特徴とする半導体集積回路の試験装置。

【請求項 3 7】 請求項 3 5 記載の半導体集積回路の試験装置であって、前記テスト補助装置組立は、6 枚の回路基板を有し、この 6 枚の回路基板の中の 2 枚の回路基板は前記テスト回路基板とほぼ並行に配置され、また他の 4 枚の回路基板は前記テスト回路基板とほぼ垂直に配置されることを特徴とする半導体集積回路の試験装置。

【請求項 3 8】 半導体集積回路を試験する試験工程を含む半導体集積回路の製造方法であって、前記試験工程では、前記半導体集積回路と信号のやり取りを行なうテスト回路基板、およびこのテスト回路基板の近傍に配置され前記テスト回路基板に接続されたテスト補助装置を備えた試験装置が使用され、前記テスト補助装置は前記半導体集積回路に含まれるデジタル回路を試験するデジタル回路試験機能を持ち、このテスト補助装置は、

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれるテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパタ

ーンデータを前記テストパターン信号発生器に書き込む動作を制御する制御部とを有し、

前記試験工程において、前記テスト補助装置が、前記テストパターン信号発生器に書き込まれたテストパターンデータに基づいて、前記半導体集積回路のデジタル回路に対するテスト入力パターン信号を発生し、このテスト入力パターン信号に基づき前記半導体集積回路から出力されるテスト出力パターン信号を判定することにより、前記半導体集積回路のデジタル回路の試験が行なわれることを特徴とする半導体集積回路の製造方法。

【請求項 3 9】 半導体集積回路を試験する試験工程を含む半導体集積回路の製造方法であって、前記試験工程では、前記半導体集積回路と信号のやり取りを行なうテスト回路基板、およびこのテスト回路基板の近傍に配置され前記テスト回路基板に接続されたテスト補助装置を備えた試験装置が使用され、前記テスト補助装置は前記半導体集積回路に含まれたデジタル回路を試験するデジタル回路試験機能を持ち、このテスト補助装置は、

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれるテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器に書き込む動作を制御する制御部とを有し、

前記テストパターン信号発生器は、テストベクタアドレス制御コードと、テストベクタアドレス制御データと、テストパターンデータとをテストベクタアドレスに沿って記憶しており、

前記制御部は、前記テストベクタアドレス制御コードとテストベクタアドレス制御データに基づいて、テストベクタアドレス信号を発生し、

前記テストパターン信号発生器は、前記テストベクタアドレス信号によってテストベクタアドレスを進めながら、前記テストパターンデータに基づいてテスト

パターン信号を発生し、

前記試験工程において、前記テスト補助装置が、前記テストパターン信号に基づいて、前記半導体集積回路のデジタル回路に対するテスト入力パターン信号を発生し、このテスト入力パターン信号に基づき前記半導体集積回路から出力されるテスト出力パターン信号を判定することにより、前記半導体集積回路のデジタル回路の試験が行なわれることを特徴とする半導体集積回路の製造方法。

【請求項 4 0】 半導体集積回路を試験する試験工程を含む半導体集積回路の製造方法であって、前記試験工程では、前記半導体集積回路と信号のやり取りを行なうテスト回路基板、およびこのテスト回路基板の近傍に配置され前記テスト回路基板に接続されたテスト補助装置を備えた試験装置が使用され、前記テスト補助装置は前記半導体集積回路に含まれたデジタル回路を試験するデジタル回路試験機能を持ち、このテスト補助装置は、

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれるテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器に書き込む動作を制御する制御部とを有し、

前記テストパターン信号発生器は、アルゴリズムックデータ発生レジスタ用制御コードと、アルゴリズムックデータ発生レジスタ用制御データと、テストベクタアドレス制御コードと、テストベクタアドレス制御データとをテストベクタアドレスに沿って記憶しており、

前記制御部は、前記テストベクタアドレス制御コードとテストベクタアドレス制御データに基づいて、テストベクタアドレス信号を発生し、また前記アルゴリズムックデータ発生レジスタ用制御コードとアルゴリズムックデータ発生レジスタ用制御データに基づいて、アルゴリズムックなテストパターン信号を発生し、

前記試験工程において、前記テスト補助装置が、前記テストパターン信号に基

づいて、前記半導体集積回路のデジタル回路に対するテスト入力パターン信号を発生し、このテスト入力パターン信号に基づき前記半導体集積回路から出力されるテスト出力パターン信号を判定することにより、前記半導体集積回路のデジタル回路の試験が行なわれることを特徴とする半導体集積回路の製造方法。

【請求項 4 1】 半導体集積回路を試験する試験工程を含む半導体集積回路の製造方法であって、前記試験工程では、前記半導体集積回路と信号のやり取りを行なうテスト回路基板、およびこのテスト回路基板の近傍に配置され前記テスト回路基板に接続されたテスト補助装置を備えた試験装置が使用され、前記テスト補助装置は前記半導体集積回路に含まれるデジタル回路を試験するデジタル回路試験機能を持ち、このテスト補助装置は、

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれるテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器に書き込む動作を制御する制御部とを有し、

このテスト補助装置は、記憶媒体を着脱可能に取り付けた回路基板を含む複数の回路基板を用いて構成され、前記記憶媒体を用いて前記パターンデータメモリが構成されており、

前記試験工程において、前記テスト補助装置が、前記テストパターン信号発生器に書き込まれたテストパターンデータに基づいて、前記半導体集積回路のデジタル回路に対するテスト入力パターン信号を発生し、このテスト入力パターン信号に基づき前記半導体集積回路から出力されるテスト出力パターン信号を判定することにより、前記半導体集積回路のデジタル回路の試験が行なわれることを特徴とする半導体集積回路の製造方法。

【請求項 4 2】 半導体集積回路を試験する試験工程を含む半導体集積回路の製造方法であって、前記試験工程では、前記半導体集積回路と信号のやり取り

を行なうテスト回路基板、およびこのテスト回路基板の近傍に配置され前記テスト回路基板に接続されたテスト補助装置を備えた試験装置が使用され、前記テスト補助装置は前記半導体集積回路に含まれたデジタル回路を試験するデジタル回路試験機能を持ち、このテスト補助装置は、

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれる第 1、第 2 のメモリを有するテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器の第 1、第 2 のメモリに書き込む動作を制御する制御部とを有し、

前記テストパターン信号発生器は、前記第 1 のメモリに書き込まれた第 1 のテストパターンデータを読み出すときに、前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択された第 2 のテストパターンデータが前記第 2 のメモリに書き込まれる動作を行ない、

前記試験工程において、前記テスト補助装置が、前記テストパターン信号発生器から読み出されるテストパターンデータに基づいて、前記半導体集積回路のデジタル回路に対するテスト入力パターン信号を発生し、このテスト入力パターン信号に基づき前記半導体集積回路から出力されるテスト出力パターン信号を判定することにより、前記半導体集積回路のデジタル回路の試験が行なわれることを特徴とする半導体集積回路の製造方法。

【請求項 4 3】 半導体集積回路を試験する試験工程を含む半導体集積回路の製造方法であって、前記試験工程では、前記半導体集積回路と信号のやり取りを行なうテスト回路基板、およびこのテスト回路基板の近傍に配置され前記テスト回路基板に接続されたテスト補助装置を備えた試験装置が使用され、前記テスト補助装置は前記半導体集積回路に含まれるデジタル回路の試験機能を持ち、このテスト補助装置は、

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれるテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器に書き込む動作と、このテストパターン信号発生器からテストパターンデータを読み出してテストパターン信号を発生させる動作とを制御する制御部と、

前記テストパターン信号に基づき被試験半導体集積回路へのテスト入力パターン信号を発生する波形整形部と、

被試験半導体集積回路から出力されるテスト出力パターン信号を判定しエラーが判定されたときにエラーデータ信号を発生する出力判定部と、

前記エラーデータ信号と、このエラーデータ信号が発生したときの前記テストパターンデータの読み出しアドレスとを含むエラー情報を記憶するエラー情報メモリ部とを有し、

このテスト補助装置は、記憶媒体を着脱可能に取り付けた回路基板を含む複数の回路基板を用いて構成され、前記記憶媒体を用いて前記エラー情報メモリ部が構成されており、

前記試験工程において、前記テスト補助装置により、前記半導体集積回路のデジタル回路の試験が行なわれることを特徴とする半導体集積回路の製造方法。

【請求項 4 4】 半導体集積回路を試験する試験工程を含む半導体集積回路の製造方法であって、前記試験工程では、前記半導体集積回路と信号のやり取りを行なうテスト回路基板、このテスト回路基板の近傍に配置され前記テスト回路基板に接続された第 1 のテスト補助装置、および前記テスト回路基板の近傍に配置され前記テスト回路基板に接続された第 2 のテスト補助装置を備え、前記第 1 のテスト補助装置が前記半導体集積回路に含まれるデジタル回路に対するテストを行なうデジタル回路試験機能を有し、また前記第 2 のテスト補助装置が前記半導体集積回路に含まれるアナログ回路に対するテストを行なうアナログ回路

試験機能を有する試験装置が使用され、前記第 1 のテスト補助装置が、

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれるテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器に書き込む動作を制御する制御部とを有し、

この第 1 のテスト補助装置は、前記テストパターン信号発生器に書き込まれたテストパターンデータに基づいて、前記半導体集積回路に対するテスト入力パターン信号を発生し、このテスト入力パターン信号に基づき前記半導体集積回路から出力されるテスト出力パターン信号を判定し、前記半導体集積回路のデジタル回路の試験を行なうものであり、

また、前記半導体集積回路に含まれる前記アナログ回路が、アナログ信号をデジタル信号に変換する A/D 変換回路と、デジタル信号をアナログ信号に変換する D/A 変換回路を含んでいて、

前記第 2 のテスト補助装置が、

デジタルテスト信号を発生してこのデジタルテスト信号を前記 D/A 変換回路に供給するデータ回路と、

このデータ回路が出力するデジタルテスト信号をアナログテスト信号に変換して前記 A/D 変換回路に供給する試験用 D/A 変換回路と、

前記 D/A 変換回路からのアナログテスト出力をデジタルテスト変換出力に変換する試験用 A/D 変換回路と、

前記 A/D 変換回路のデジタルテスト出力と、前記試験用 A/D 変換回路からのデジタルテスト変換出力とを記憶する測定データメモリと、

前記測定データメモリに記憶された前記デジタルテスト出力と前記デジタル変換出力を解析する解析部とを有し、

前記試験工程において、前記第 1 のテスト補助装置により前記デジタル回路

に対する試験が実行され、前記第2のテスト補助装置により前記アナログ回路に対する試験が実行されることを特徴とする半導体集積回路の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

この発明は、被試験半導体集積回路と信号のやり取りを行なうテスト回路基板の近傍にテスト補助装置を備えた半導体集積回路の試験装置とそれを用いた半導体集積回路の製造方法に関するものである。

【0002】

【従来の技術】

一般に、アナログの大規模半導体集積回路（以下LSIという）の試験は、アナログ専用試験機を用いて行なわれる。このアナログ専用試験機は、被試験半導体集積回路（以下DUTという）と信号のやり取りを行なうテスト回路基板を介して、DUTにテスト入力信号を供給し、またDUTからテスト出力信号を受け、その解析を行なうように構成される。しかし、最近の半導体集積回路では、アナログのLSIに、デジタル回路、具体的にはロジック回路およびメモリ回路を搭載した混載タイプのLSIが増加している。この混載タイプのLSIにおいて、搭載されるデジタル回路の規模が小さく、またそれらの動作速度が低速であれば、アナログ専用試験機に内蔵された低性能のファンクション試験機能により、デジタル回路の試験にも対応できるが、最近ではシステムオンチップ化の急速な進展に伴い、アナログのLSIに搭載されるデジタル回路が大規模化しており、従来の試験機能では試験が困難な状況になっている。

【0003】

この試験が困難な状況を改善する対策として、アナログ専用試験機に内蔵されたデジタルファンクション試験機能を拡張することが考えられるが、このデジタルファンクション試験機能の拡張には、その拡張のための専用試験機の個別開発が必要となる。また、別の対策として、アナログ回路と、デジタルロジック回路、デジタルメモリのそれぞれについて専用の試験機を準備することも考えられるが、ロジック回路専用試験機、メモリ専用試験機に対する設備投資が必

要になり、またテストに必要なテスト時間の増加も懸念される。さらに、混載タイプのLSIに対するミックスドシグナル形試験機を準備することも考えられるが、特別な試験機に対する高額の投資が必要となる。

【 0 0 0 4 】

一方、デジタルのLSIに対する試験においても、内蔵されるロジック回路、メモリ回路の大規模化が進んでおり、ロジック回路と、メモリ回路に対応する専用の試験機でも、同様の問題が発生している。また、デジタルのLSIにアナログ回路を搭載した混載タイプのLSIの試験においても、同様な問題がある。

【 0 0 0 5 】

特開平8-179013号公報および特開2001-83216号公報には、パターン発生器を内蔵し、デジタルファンクションテスト機能を持った試験機が開示されている。しかしこれらはデジタルファンクション試験機能を持った試験機に関するものであり、いわゆる専用試験機自体にデジタルファンクション試験機能を持たすもので、このデジタルファンクション機能の拡張には、前述の通り、個別の開発を必要とする。また、このようなデジタルファンクション機能の拡張に対応できない試験機では、試験機の大幅な改造が必要となり、コスト面と、拡張の容易性の両面で問題が発生する。

【 0 0 0 6 】

この出願に先行して、この出願の発明者らが出願した特開2002-236143号では、A/D変換回路とD/A変換回路を含んだ半導体集積回路の試験装置として、テスト回路基板の近傍に配置されるテスト補助装置に、A/D変換回路とD/A変換回路に対するテスト回路を設けるものが提案された。これは、デジタルのLSIにアナログ回路を混載した混載タイプのLSIに対し、そのアナログ回路に含まれるA/D変換回路およびD/A変換回路の試験を、テスト補助装置により行なうものである。試験用A/D変換回路と試験用D/A変換回路をテスト回路基板の近傍に配置されるテスト補助装置に設けることにより、試験機の大きな改造を必要とせず、また試験機とテスト回路基板との間のアナログ測定ラインを解消し、このアナログ測定ラインに対するノイズの影響を解消しながら

ら、テスト回路基板の近傍に設けたテスト補助装置によって、効果的なテストを行なうことができる。しかし、この先行出願のものでも、テスト機能のさらなる拡張には、まだ不十分であった。

【 0 0 0 7 】

【特許文献 1】

特開平 8 - 1 7 9 0 1 3 号公報、とくにその図 1 とその説明。

【特許文献 2】

特開 2 0 0 1 - 8 3 2 1 6 号公報。

【特許文献 3】

特開 2 0 0 2 - 2 3 6 1 4 3 号公報。

【 0 0 0 8 】

【発明が解決しようとする課題】

この発明は、半導体集積回路のデジタル回路に対する試験機能の拡張を余り大きな費用をかけずに、簡単に実現することができ、しかもデジタル回路の試験を迅速に実行できる改善された半導体集積回路の試験装置を提案するものである。

【 0 0 0 9 】

また、この発明は、半導体集積回路のデジタル回路に対する試験機能の拡張を余り大きな費用をかけずに、簡単に実現することができ、またデジタル回路の試験を迅速に実行でき、加えて試験に必要なテストパターンデータを容易に、十分に準備できる改善された半導体集積回路の試験装置を提案するものである。

【 0 0 1 0 】

また、この発明は、半導体集積回路のデジタル回路に対する試験機能の拡張を余り大きな費用をかけずに、簡単に実現することができ、またデジタル回路の試験を迅速に実行でき、加えて、テストパターンメモリからのテストパターンデータの転送を効率的に実行でき、デジタル回路の試験を迅速に実行できる改善された半導体集積回路の試験装置を提案するものである。

【 0 0 1 1 】

また、この発明は、半導体集積回路のデジタル回路に対する試験機能の拡張

を余り大きな費用をかけずに、簡単に実現することができ、またデジタル回路の試験を迅速に実行でき、加えて試験の結果得られるエラーデータを十分に蓄え、持ち運びしてその解析も容易に行なうことができる改善された半導体集積回路の試験装置を提案するものである。

【 0 0 1 2 】

また、この発明は、半導体集積回路のデジタル回路に対する試験機能の拡張を余り大きな費用をかけずに、簡単に実現することができ、また、デジタル回路の試験を迅速に実行でき、加えて半導体集積回路のアナログ回路に対する試験も容易に実施できる半導体集積回路の試験装置を提案するものである。

【 0 0 1 3 】

また、この発明は、半導体集積回路の試験工程における、半導体集積回路のデジタル回路に対する試験機能の拡張を、余り大きな費用をかけずに、簡単に実現し、またその試験の迅速化を図ることができる改良された半導体集積回路の製造方法を提案するものである。

【 0 0 1 4 】

また、この発明は、半導体集積回路の試験工程における、半導体集積回路のデジタル回路に対する試験機能の拡張を、余り大きな費用をかけずに、簡単に実現し、またその試験の迅速化を図ることができ、加えて試験に必要なテストパターンデータを容易に、十分に準備できる改良された半導体集積回路の製造方法を提案するものである。

【 0 0 1 5 】

また、この発明は、半導体集積回路の試験工程における、半導体集積回路のデジタル回路に対する試験機能の拡張を余り大きな費用をかけずに、簡単に実現することができ、またデジタル回路の試験を迅速に実行でき、加えて、テストパターンデータの転送を効率的に実行でき、デジタル回路の試験を迅速に実行できる改善された半導体集積回路の製造方法を提案するものである。

【 0 0 1 6 】

また、この発明は、半導体集積回路の試験工程における、半導体集積回路のデジタル回路に対する試験機能の拡張を、余り大きな費用をかけずに、簡単に実

現し、またその試験の迅速化を図ることができ、加えて試験の結果得られるエラーデータを十分に蓄え、持ち運びできる改善された半導体集積回路の製造方法を提案するものである。

【 0 0 1 7 】

また、この発明は、半導体集積回路の試験工程において、半導体集積回路のデジタル回路に対する試験機能の拡張を、余り大きな費用をかけずに、簡単に実現し、またその試験の迅速化を図ることができ、加えて半導体集積回路のアナログ回路に対する試験も容易に実施できる改良された半導体集積回路の製造方法を提案するものである。

【 0 0 1 8 】

【課題を解決するための手段】

この発明による半導体集積回路の試験装置は、被試験半導体集積回路と信号のやり取りを行なうテスト回路基板、およびこのテスト回路基板の近傍に配置され前記テスト回路基板に接続されたテスト補助装置を備え、このテスト補助装置が被試験半導体集積回路に含まれるデジタル回路に対するテストを行なうデジタル回路試験機能を有する半導体集積回路の試験装置であって、前記テスト補助装置が、

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれるテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器に書き込む動作を制御する制御部とを有し、

前記テスト補助装置が、前記テストパターン信号発生器に書き込まれたテストパターンデータに基づいて、被試験半導体集積回路に対するテスト入力パターン信号を発生し、このテスト入力パターンに対応する被試験半導体集積回路からのテスト出力パターン信号を判定することにより、被試験半導体集積回路のディジ

タル回路の試験を行なうことを特徴とする。

【 0 0 1 9 】

この発明による半導体集積回路の試験装置の構成によれば、専用試験機を特別に開発することなく、テストパターンメモリに記憶するテストパターンデータを拡張することにより、ディジタル回路に対する試験機能を簡単に拡張することができる。併せて、テストパターンデータメモリに予め必要なテストパターンデータを記憶しておくことにより、迅速にディジタル回路の試験をテスト補助装置で実施できる。

【 0 0 2 0 】

また、この発明による別の半導体集積回路の試験装置は、被試験半導体集積回路と信号のやり取りを行なうテスト回路基板、およびこのテスト回路基板の近傍に配置され前記テスト回路基板に接続されたテスト補助装置を備え、このテスト補助装置が被試験半導体集積回路に含まれるディジタル回路に対するテストを行なうディジタル回路試験機能を有する半導体集積回路の試験装置であって、前記テスト補助装置が、

前記ディジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれるテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器に書き込む動作を制御する制御部とを有し、

前記テストパターン信号発生器は、テストベクタアドレス制御コードと、テストベクタアドレス制御データと、テストパターンデータとをテストベクタアドレスに沿って記憶しており、

前記制御部は、前記テストベクタアドレス制御コードとテストベクタアドレス制御データに基づいて、テストベクタアドレス信号を発生するプログラムカウンタを有し、

前記テストパターン信号発生器は、前記テストベクタアドレス信号によってテストベクタアドレスを進めながら、前記テストパターンデータに基づいてテストパターン信号を発生し、

前記テスト補助装置が、このテストパターン信号に基づいて被試験半導体集積回路へのテスト入力パターン信号を発生し、このテスト入力パターン信号に対応する被試験半導体集積回路からのテスト出力パターン信号を判定することにより、被試験半導体集積回路のデジタル回路の試験を行なうことを特徴とする。

【 0 0 2 1 】

この発明による半導体集積回路の試験装置の構成によれば、専用試験機を特別に開発することなく、テストパターンメモリに記憶するテストパターンデータを拡張することにより、デジタル回路に対する試験機能を簡単に拡張することができる。併せて、テストパターンデータメモリに予め必要なテストパターンデータを記憶しておくことにより、迅速にデジタル回路の試験をテスト補助装置で実施できる。併せて、テストベクタアドレス制御コードと、テストベクタアドレス制御データの設定に応じて、サブルーチンジャンプ、サブルーチンリターン、無条件ジャンプ、同一ベクタリピートを含む制御を行なうことができ、テストベクタ数を削減しながら、多様なテストパターン信号の生成が可能となり、デジタル回路に対する試験機能の更なる拡張をも簡単に、実現できる。

【 0 0 2 2 】

また、この発明による別の半導体集積回路の試験装置は、被試験半導体集積回路と信号のやり取りを行なうテスト回路基板、およびこのテスト回路基板の近傍に配置され前記テスト回路基板に接続されたテスト補助装置を備え、このテスト補助装置が被試験半導体集積回路に含まれるデジタル回路に対するテストを行なうデジタル回路試験機能を有する半導体集積回路の試験装置であって、前記テスト補助装置が、

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれるテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器に書き込む動作を制御する制御部とを有し、

前記テストパターン信号発生器は、アルゴリズムックデータ発生レジスタ用制御コードと、アルゴリズムックデータ発生レジスタ用制御データと、テストベクタアドレス制御コードと、テストベクタアドレス制御データとをテストベクタアドレスに沿って記憶しており、

前記制御部は、前記テストベクタアドレス制御コードとテストベクタアドレス制御データに基づいて、テストベクタアドレス信号を発生するプログラムカウンタと、前記アルゴリズムックデータ発生レジスタ用制御コードとアルゴリズムックデータ発生レジスタ用制御データに基づいて、アルゴリズムックなテストパターン信号を発生する複数のレジスタグループを有し、

前記テスト補助装置が、このテストパターン信号に基づいて被試験半導体集積回路へのテスト入力パターン信号を発生し、このテスト入力パターン信号に基づき被試験半導体集積回路から出力されるテスト出力パターン信号を判定することにより、被試験半導体集積回路のデジタル回路の試験を行なうことを特徴とする。

【 0 0 2 3 】

この発明による半導体集積回路の試験装置の構成によれば、専用試験機を特別に開発することなく、テストパターンメモリに記憶するテストパターンデータを拡張することにより、デジタル回路に対する試験機能を簡単に拡張することができる。併せて、テストパターンデータメモリに予め必要なテストパターンデータを記憶しておくことにより、迅速にデジタル回路の試験をテスト補助装置で実施できる。併せて、アルゴリズムックデータ発生レジスタ用制御コードとアルゴリズムックデータ発生レジスタ用制御データの設定に応じて、各種のアルゴリズムックなテストパターンデータの発生が可能になるので、テストベクタ数を削減しながら、多様なテストパターン信号の生成が可能となり、デジタル回路に対する試験機能の更なる拡張をも簡単に、実現できる。

【 0 0 2 4 】

また、この発明による別の半導体集積回路の試験装置は、被試験半導体集積回路と信号のやり取りを行なうテスト回路基板、およびこのテスト回路基板の近傍に配置され前記テスト回路基板に接続されたテスト補助装置を備え、このテスト補助装置が被試験半導体集積回路に含まれるデジタル回路に対するテストを行なうデジタル回路試験機能を有する半導体集積回路の試験装置であって、前記テスト補助装置が、

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれるテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器に書き込む動作と、このテストパターン信号発生器からテストパターンデータを読み出す動作を制御する制御部とを有し、

前記テスト補助装置は、前記テストパターン信号発生器から読み出されたテストパターンデータに基づいて被試験半導体集積回路へのテスト入力パターン信号を発生し、このテスト入力パターン信号に基づき被試験半導体集積回路から出力されるテスト出力パターン信号を判定することにより、被試験半導体集積回路のデジタル回路の試験を行なうものであって、

このテスト補助装置が、記憶媒体を着脱可能に取り付けた回路基板を含む複数の回路基板を用いて構成され、前記記憶媒体を用いて前記パターンデータメモリが構成されたことを特徴とする半導体集積回路の試験装置。

【 0 0 2 5 】

この発明による半導体集積回路の試験装置の構成によれば、専用試験機を特別に開発することなく、テストパターンメモリに記憶するテストパターンデータを拡張することにより、デジタル回路に対する試験機能を簡単に拡張することができる。併せて、テストパターンデータメモリに予め必要なテストパターンデー

タを記憶しておくことにより、迅速にデジタル回路の試験をテスト補助装置で実施できる。併せて、記憶媒体を着脱可能に取り付けた回路基板を使用し、この記憶媒体を用いてテストパターンデータが構成されるので、テストパターンメモリの記憶容量を容易に増大し、より多くの種類のテストパターンデータを蓄積でき、またこの記憶媒体は着脱可能で、持ち運びも可能であるので、より多くの種類のテストパターンデータを簡便に準備できる。

【 0 0 2 6 】

また、この発明による別の半導体集積回路の試験装置は、被試験半導体集積回路と信号のやり取りを行なうテスト回路基板、およびこのテスト回路基板の近傍に配置され前記テスト回路基板に接続されたテスト補助装置を備え、このテスト補助装置が被試験半導体集積回路に含まれるデジタル回路に対するテストを行なうデジタル回路試験機能を有する半導体集積回路の試験装置であって、前記テスト補助装置が、

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれる第1、第2のメモリを有するテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器の第1、第2のメモリに書き込む動作と、このテストパターン信号発生器の前記第1、第2のメモリからテストパターンデータを読み出す動作を制御する制御部とを有し、

前記テスト補助装置は、前記テストパターン信号発生器から読み出されたテストパターンデータに基づいて被試験半導体集積回路に対するテスト入力パターン信号を発生し、このテスト入力パターン信号に基づき被試験半導体集積回路から出力されるテスト出力パターン信号を判定することにより、被試験半導体集積回路のデジタル回路の試験を行なうものであって、

前記テストパターン信号発生器の前記第1のメモリに書き込まれた第1のテス

トパターンデータを読み出すときに、前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択された第2のテストパターンデータが前記第2のメモリに書き込まれることを特徴とする半導体集積回路の試験装置。

【0027】

この発明による半導体集積回路の試験装置の構成によれば、専用試験機を特別に開発することなく、テストパターンメモリに記憶するテストパターンデータを拡張することにより、デジタル回路に対する試験機能を簡単に拡張することができる。併せて、テストパターンデータメモリに予め必要なテストパターンデータを記憶しておくことにより、迅速にデジタル回路の試験をテスト補助装置で実施できる。併せて、テストパターン信号が第1、第2のメモリを有し、第1のメモリに書き込まれた第1のテストパターンデータを読み出すときに、前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択された第2のテストパターンデータが前記第2のメモリに書き込まれるので、テストパターンメモリからのテストパターンデータの転送を効率的に実行でき、テスト時間を短縮できる。

【0028】

また、この発明による別の半導体集積回路の試験装置は、被試験半導体集積回路と信号のやり取りを行なうテスト回路基板、およびこのテスト回路基板の近傍に配置され前記テスト回路基板に接続されたテスト補助装置を備え、このテスト補助装置が被試験半導体集積回路に含まれるデジタル回路に対するテストを行なうデジタル回路試験機能を有する半導体集積回路の試験装置であって、前記テスト補助装置が、

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれるテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器に書き込む動作と、このテストパタ

ーン信号発生器からテストパターンデータを読み出してテストパターン信号を発生させる動作とを制御する制御部と、

前記テストパターン信号に基づき被試験半導体集積回路へのテスト入力パターン信号を発生する波形整形部と、

被試験半導体集積回路から出力されるテスト出力パターン信号を判定しエラーを判定したときにエラーデータ信号を発生する出力判定部と、

前記エラーデータ信号と、このエラーデータ信号が発生したときの前記テストパターンデータの読み出しアドレスとを含むエラー情報を記憶するエラー情報メモリ部とを有し、

前記テスト補助装置が、記憶媒体を着脱可能に取り付けた回路基板を含む複数の回路基板を用いて構成され、前記記憶媒体を用いて前記エラー情報メモリ部が構成されたことを特徴とする。

【 0 0 2 9 】

この発明による半導体集積回路の試験装置の構成によれば、専用試験機を特別に開発することなく、テストパターンメモリに記憶するテストパターンデータを拡張することにより、デジタル回路に対する試験機能を簡単に拡張することができる。併せて、テストパターンデータメモリに予め必要なテストパターンデータを記憶しておくことにより、迅速にデジタル回路の試験をテスト補助装置で実施できる。また、記憶媒体を着脱可能に取り付けた回路基板を使用し、この記憶媒体を用いてエラー情報メモリ部が構成されるので、エラー情報を記憶するエラー情報メモリ部の記憶容量を容易に増大し、より多くのエラー情報を蓄積でき、またこの記憶媒体は着脱可能で、持ち運びも可能であるので、エラー情報の解析も簡便にできる。

【 0 0 3 0 】

また、この発明によるさらに別の半導体集積回路の試験装置は、被試験半導体集積回路と信号のやり取りを行なうテスト回路基板、このテスト回路基板の近傍に配置され前記テスト回路基板に接続された第1のテスト補助装置、および前記テスト回路基板の近傍に配置され前記テスト回路基板に接続された第2のテスト補助装置を備え、前記第1のテスト補助装置が被試験半導体集積回路に含まれる

デジタル回路に対するテストを行なうデジタル回路試験機能を有し、また前記第 2 のテスト補助装置が被試験半導体集積回路に含まれるアナログ回路に対するテストを行なうアナログ回路試験機能を有する半導体集積回路の試験装置であって、前記第 1 のテスト補助装置が、

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれるテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器に書き込む動作と、このテストパターン信号発生器からテストパターンデータを読み出してテストパターン信号を発生させる動作を制御する制御部とを有し、

この第 1 のテスト補助装置が、前記テストパターン信号に基づいて、被試験半導体集積回路に対するテスト入力パターン信号を発生し、このテスト入力パターン信号に基づき被試験半導体集積回路から出力されるテスト出力パターン信号を判定することにより、被試験半導体集積回路のデジタル回路の試験を行ない、

被試験半導体集積回路に含まれる前記アナログ回路が、アナログ信号をデジタル信号に変換する A/D 変換回路と、デジタル信号をアナログ信号に変換する D/A 変換回路を含んでいて、

前記第 2 のテスト補助装置が、

デジタルテスト信号を発生してこのデジタルテスト信号を前記 D/A 変換回路に供給するデータ回路と、

このデータ回路からのデジタルテスト信号をアナログテスト信号に変換して前記 A/D 変換回路に供給する試験用 D/A 変換回路と、

前記 D/A 変換回路からのアナログテスト出力をデジタルテスト変換出力に変換する試験用 A/D 変換回路と、

前記 A/D 変換回路のデジタルテスト出力と、前記試験用 A/D 変換回路からのデジタルテスト変換出力とを記憶する測定データメモリと、

前記測定データメモリに記憶された前記デジタルテスト出力と前記デジタル変換出力を解析する解析部とを有し、

前記第 2 のテスト補助装置が被試験半導体集積回路のアナログ回路の試験を行なうことを特徴とする。

【 0 0 3 1 】

この発明による半導体集積回路の試験装置の構成によれば、専用試験機を特別に開発することなく、第 1 のテスト補助装置のテストパターンメモリに記憶するテストパターンデータを拡張することにより、デジタル回路に対する試験機能を簡単に拡張することができる。併せて、テストパターンデータメモリに予め必要なテストパターンデータを記憶しておくことにより、迅速にデジタル回路の試験をテスト補助装置で実施できる。加えて、第 2 のテスト補助装置により、簡単に、アナログ回路の試験も実行できる。

【 0 0 3 2 】

また、この発明による半導体集積回路の製造方法は、半導体集積回路を試験する試験工程を含む半導体集積回路の製造方法であって、前記試験工程では、前記半導体集積回路と信号のやり取りを行なうテスト回路基板、およびこのテスト回路基板の近傍に配置され前記テスト回路基板に接続されたテスト補助装置を備えた試験装置が使用され、前記テスト補助装置は前記半導体集積回路に含まれるデジタル回路を試験するデジタル回路試験機能を持ち、このテスト補助装置は

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれるテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器に書き込む動作を制御する制御部とを有し、

前記試験工程において、前記テスト補助装置が、前記テストパターン信号発生

器に書き込まれたテストパターンデータに基づいて、前記半導体集積回路のデジタル回路に対するテスト入力パターン信号を発生し、このテスト入力パターン信号に基づき前記半導体集積回路から出力されるテスト出力パターン信号を判定することにより、前記半導体集積回路のデジタル回路の試験が行なわれることを特徴とする。

【 0 0 3 3 】

この発明による半導体集積回路の製造方法によれば、専用試験機を特別に開発することなく、テスト補助装置のテストパターンメモリに記憶するテストパターンデータを拡張することにより、デジタル回路に対する試験機能を簡単に拡張しながら、テストパターンデータメモリに予め必要なテストパターンデータを記憶しておくことにより、迅速にデジタル回路の試験を実行でき、半導体集積回路の試験工程を効率化し、半導体集積回路をより効率良く製造できる。

【 0 0 3 4 】

また、この発明の別の半導体集積回路の製造方法は、半導体集積回路を試験する試験工程を含む半導体集積回路の製造方法であって、前記試験工程では、前記半導体集積回路と信号のやり取りを行なうテスト回路基板、およびこのテスト回路基板の近傍に配置され前記テスト回路基板に接続されたテスト補助装置を備えた試験装置が使用され、前記テスト補助装置は前記半導体集積回路に含まれたデジタル回路を試験するデジタル回路試験機能を持ち、このテスト補助装置は、

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれるテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器に書き込む動作を制御する制御部とを有し、

前記テストパターン信号発生器は、テストベクタアドレス制御コードと、テス

トベクタアドレス制御データと、テストパターンデータとをテストベクタアドレスに沿って記憶しており、

前記制御部は、前記テストベクタアドレス制御コードとテストベクタアドレス制御データに基づいて、テストベクタアドレス信号を発生し、

前記テストパターン信号発生器は、前記テストベクタアドレス信号によってテストベクタアドレスを進めながら、前記テストパターンデータに基づいてテストパターン信号を発生し、

前記試験工程において、前記テスト補助装置が、前記テストパターン信号に基づいて、前記半導体集積回路のデジタル回路に対するテスト入力パターン信号を発生し、このテスト入力パターン信号に基づき前記半導体集積回路から出力されるテスト出力パターン信号を判定することにより、前記半導体集積回路のデジタル回路の試験が行なわれることを特徴とする半導体集積回路の製造方法。

【 0 0 3 5 】

この発明による半導体集積回路の製造方法によれば、専用試験機を特別に開発することなく、第1のテスト補助装置のテストパターンメモリに記憶するテストパターンデータを拡張することにより、デジタル回路に対する試験機能を簡単に拡張しながら、テストパターンデータメモリに予め必要なテストパターンデータを記憶しておくことにより、迅速にデジタル回路の試験を実行でき、半導体集積回路の試験工程を効率化し、半導体集積回路をより効率良く製造できる。併せて、テストベクタアドレス制御コードと、テストベクタアドレス制御データの設定に応じて、サブルーチンジャンプ、サブルーチンリターン、無条件ジャンプ、同一ベクタリピートを含む制御を行なうことができ、テストベクタ数を削減しながら、多様なテストパターン信号の生成が可能となり、デジタル回路に対する試験機能の更なる拡張をも簡単に、実現して、多様な試験を行なうことができる。

【 0 0 3 6 】

また、この発明による別の半導体集積回路の製造方法は、半導体集積回路を試験する試験工程を含む半導体集積回路の製造方法であって、前記試験工程では、前記半導体集積回路と信号のやり取りを行なうテスト回路基板、およびこのテス

ト回路基板の近傍に配置され前記テスト回路基板に接続されたテスト補助装置を備えた試験装置が使用され、前記テスト補助装置は前記半導体集積回路に含まれたデジタル回路を試験するデジタル回路試験機能を持ち、このテスト補助装置は、

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれるテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器に書き込む動作を制御する制御部とを有し、

前記テストパターン信号発生器は、アルゴリズムックデータ発生レジスタ用制御コードと、アルゴリズムックデータ発生レジスタ用制御データと、テストベクタアドレス制御コードと、テストベクタアドレス制御データとをテストベクタアドレスに沿って記憶しており、

前記制御部は、前記テストベクタアドレス制御コードとテストベクタアドレス制御データに基づいて、テストベクタアドレス信号を発生し、また前記アルゴリズムックデータ発生レジスタ用制御コードとアルゴリズムックデータ発生レジスタ用制御データに基づいて、アルゴリズムックなテストパターン信号を発生し、

前記試験工程において、前記テスト補助装置が、前記テストパターン信号に基づいて、前記半導体集積回路のデジタル回路に対するテスト入力パターン信号を発生し、このテスト入力パターン信号に基づき前記半導体集積回路から出力されるテスト出力パターン信号を判定することにより、前記半導体集積回路のデジタル回路の試験が行なわれることを特徴とする。

【 0 0 3 7 】

この発明による半導体集積回路の製造方法によれば、専用試験機を特別に開発することなく、第1のテスト補助装置のテストパターンメモリに記憶するテストパターンデータを拡張することにより、デジタル回路に対する試験機能を簡単

に拡張しながら、テストパターンデータメモリに予め必要なテストパターンデータを記憶しておくことにより、迅速にデジタル回路の試験を実行でき、半導体集積回路の試験工程を効率化し、半導体集積回路をより効率良く製造できる。併せて、アルゴリズムックデータ発生用レジスタ制御コードと、アルゴリズムックデータ発生用レジスタ制御データの設定に応じて、多くのアルゴリズムックなテストパターンデータを発生でき、テストベクタ数を削減しながら、多様なテストパターン信号の生成が可能となり、デジタル回路に対する試験機能の更なる拡張をも簡単に、実現して、多様な試験を行なうことができる。

【 0 0 3 8 】

また、この発明による別の半導体集積回路の製造方法は、半導体集積回路を試験する試験工程を含む半導体集積回路の製造方法であって、前記試験工程では、前記半導体集積回路と信号のやり取りを行なうテスト回路基板、およびこのテスト回路基板の近傍に配置され前記テスト回路基板に接続されたテスト補助装置を備えた試験装置が使用され、前記テスト補助装置は前記半導体集積回路に含まれるデジタル回路を試験するデジタル回路試験機能を持ち、このテスト補助装置は、

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれるテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器に書き込む動作を制御する制御部とを有し、

このテスト補助装置は、記憶媒体を着脱可能に取り付けた回路基板を含む複数の回路基板を用いて構成され、前記記憶媒体を用いて前記パターンデータメモリが構成されており、

前記試験工程において、前記テスト補助装置が、前記テストパターン信号発生器に書き込まれたテストパターンデータに基づいて、前記半導体集積回路のディ

ジタル回路に対するテスト入力パターン信号を発生し、このテスト入力パターン信号に基づき前記半導体集積回路から出力されるテスト出力パターン信号を判定することにより、前記半導体集積回路のディジタル回路の試験が行なわれることを特徴とする。

【 0 0 3 9 】

この発明による半導体集積回路の製造方法によれば、専用試験機を特別に開発することなく、第1のテスト補助装置のテストパターンメモリに記憶するテストパターンデータを拡張することにより、ディジタル回路に対する試験機能を簡単に拡張しながら、テストパターンデータメモリに予め必要なテストパターンデータを記憶しておくことにより、迅速にディジタル回路の試験を実行でき、半導体集積回路の試験工程を効率化し、半導体集積回路をより効率良く製造できる。併せて、記憶媒体が着脱可能に取り付けられ、この記憶媒体で構成されたテストパターンメモリを使用するので、より多くのテストパターンデータを蓄積し、試験工程の効率化を図り、また記憶媒体は着脱可能であって、他の機械でテストパターンデータの蓄積を行なうことができ、試験工程の効率化を図り、半導体集積回路の製造の効率化を図ることができる。

【 0 0 4 0 】

また、この発明による別の半導体集積回路の製造方法は、半導体集積回路を試験する試験工程を含む半導体集積回路の製造方法であって、前記試験工程では、前記半導体集積回路と信号のやり取りを行なうテスト回路基板、およびこのテスト回路基板の近傍に配置され前記テスト回路基板に接続されたテスト補助装置を備えた試験装置が使用され、前記テスト補助装置は前記半導体集積回路に含まれたディジタル回路を試験するディジタル回路試験機能を持ち、このテスト補助装置は、

前記ディジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれる第1、第2のメモリを有するテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器の第 1、第 2 のメモリに書き込む動作を制御する制御部とを有し、

前記テストパターン信号発生器は、前記第 1 のメモリに書き込まれた第 1 のテストパターンデータを読み出すときに、前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択された第 2 のテストパターンデータが前記第 2 のメモリに書き込まれる動作を行ない、

前記試験工程において、前記テスト補助装置が、前記テストパターン信号発生器から読み出されるテストパターンデータに基づいて、前記半導体集積回路のデジタル回路に対するテスト入力パターン信号を発生し、このテスト入力パターン信号に基づき前記半導体集積回路から出力されるテスト出力パターン信号を判定することにより、前記半導体集積回路のデジタル回路の試験が行なわれることを特徴とする。

【 0 0 4 1 】

この発明による半導体集積回路の製造方法によれば、専用試験機を特別に開発することなく、第 1 のテスト補助装置のテストパターンメモリに記憶するテストパターンデータを拡張することにより、デジタル回路に対する試験機能を簡単に拡張しながら、テストパターンデータメモリに予め必要なテストパターンデータを記憶しておくことにより、迅速にデジタル回路の試験を実行でき、半導体集積回路の試験工程を効率化し、半導体集積回路をより効率良く製造できる。併せて、テストパターン信号発生器の第 1 のメモリに書き込まれた第 1 のテストパターンデータを読み出すときに、前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択された第 2 のテストパターンデータが前記第 2 のメモリに書き込まれる動作を行なうので、テストパターンメモリからのテストパターンデータの読み出しを効率的に行ない、半導体集積回路の試験を効率化し、半導体集積回路の試験工程を効率化できる。

【 0 0 4 2 】

また、この発明による別の半導体集積回路の製造方法は、半導体集積回路を試

験する試験工程を含む半導体集積回路の製造方法であって、前記試験工程では、前記半導体集積回路と信号のやり取りを行なうテスト回路基板、およびこのテスト回路基板の近傍に配置され前記テスト回路基板に接続されたテスト補助装置を備えた試験装置が使用され、前記テスト補助装置は前記半導体集積回路に含まれるデジタル回路の試験機能を持ち、このテスト補助装置は、

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれるテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器に書き込む動作と、このテストパターン信号発生器からテストパターンデータを読み出してテストパターン信号を発生させる動作とを制御する制御部と、

前記テストパターン信号に基づき被試験半導体集積回路へのテスト入力パターン信号を発生する波形整形部と、

被試験半導体集積回路から出力されるテスト出力パターン信号を判定しエラーが判定されたときにエラーデータ信号を発生する出力判定部と、

前記エラーデータ信号と、このエラーデータ信号が発生したときの前記テストパターン信号の読み出しアドレスとを含むエラー情報を記憶するエラー情報メモリ部とを有し、

このテスト補助装置は、記憶媒体を着脱可能に取り付けた回路基板を含む複数の回路基板を用いて構成され、前記記憶媒体を用いて前記エラー情報メモリ部が構成されており、

前記試験工程において、前記テスト補助装置により、前記半導体集積回路のデジタル回路の試験が行なわれることを特徴とする。

【 0 0 4 3 】

この発明による半導体集積回路の製造方法によれば、専用試験機を特別に開発することなく、第 1 のテスト補助装置のテストパターンメモリに記憶するテスト

パターンデータを拡張することにより、デジタル回路に対する試験機能を簡単に拡張しながら、テストパターンデータメモリに予め必要なテストパターンデータを記憶しておくことにより、迅速にデジタル回路の試験を実行でき、半導体集積回路の試験工程を効率化し、半導体集積回路をより効率良く製造できる。併せて、記憶媒体が着脱可能に回路基板に取り付けられ、この記憶媒体を用いて構成されたエラー情報メモリ部を用いるので、より多くのエラー情報をエラー記憶媒体に蓄積し、またこの記憶媒体を持ち運び、容易に解析でき、半導体集積回路の試験を効率化し、半導体集積回路の試験工程を効率化できる。

【 0 0 4 4 】

さらに、この発明によるさらに別の半導体集積回路の製造方法は、半導体集積回路を試験する試験工程を含む半導体集積回路の製造方法であって、前記試験工程では、前記半導体集積回路と信号のやり取りを行なうテスト回路基板、このテスト回路基板の近傍に配置され前記テスト回路基板に接続された第1のテスト補助装置、および前記テスト回路基板の近傍に配置され前記テスト回路基板に接続された第2のテスト補助装置を備え、前記第1のテスト補助装置が前記半導体集積回路に含まれるデジタル回路に対するテストを行なうデジタル回路試験機能を有し、また前記第2のテスト補助装置が前記半導体集積回路に含まれるアナログ回路に対するテストを行なうアナログ回路試験機能を有する試験装置が使用され、前記第1のテスト補助装置が、

前記デジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータが書き込まれるテストパターン信号発生器と、

前記テストパターンメモリに記憶された複数のテストパターンデータの中から選択されたテストパターンデータを読み出す動作と、この選択されたテストパターンデータを前記テストパターン信号発生器に書き込む動作を制御する制御部とを有し、

この第1のテスト補助装置は、前記テストパターン信号発生器に書き込まれたテストパターンデータに基づいて、前記半導体集積回路に対するテスト入力パタ

ーン信号を発生し、このテスト入力パターン信号に基づき前記半導体集積回路から出力されるテスト出力パターン信号を判定し、前記半導体集積回路のデジタル回路の試験を行なうものであり、

また、前記半導体集積回路に含まれる前記アナログ回路が、アナログ信号をデジタル信号に変換するA/D変換回路と、デジタル信号をアナログ信号に変換するD/A変換回路を含んでいて、

また、前記第2のテスト補助装置が、

デジタルテスト信号を発生してこのデジタルテスト信号を前記D/A変換回路に供給するデータ回路と、

このデータ回路からのデジタルテスト信号をアナログテスト信号に変換して前記A/D変換回路に供給する試験用D/A変換回路と、

前記D/A変換回路からのアナログテスト出力をデジタルテスト変換出力に変換する試験用A/D変換回路と、

前記A/D変換回路のデジタルテスト出力と、前記試験用A/D変換回路からのデジタルテスト変換出力とを記憶する測定データメモリと、

前記測定データメモリに記憶された前記デジタルテスト出力と前記デジタル変換出力を解析する解析部とを有し、

前記試験工程において、前記第1のテスト補助装置により前記デジタル回路に対する試験が実行され、前記第2のテスト補助装置により前記アナログ回路に対する試験が実行されることを特徴とする。

【 0 0 4 5 】

この発明による半導体集積回路の製造方法によれば、専用試験機を特別に開発することなく、第1のテスト補助装置のテストパターンメモリに記憶するテストパターンデータを拡張することにより、デジタル回路に対する試験機能を簡単に拡張しながら、テストパターンデータメモリに予め必要なテストパターンデータを記憶しておくことにより、迅速にデジタル回路の試験を実行でき、半導体集積回路の試験工程を効率化し、半導体集積回路をより効率良く製造できる。併せて、第2のテスト補助装置によりアナログ回路の試験も簡単に実行できるので、デジタル回路とアナログ回路を含んだ半導体集積回路の試験を効率化し、半

導体集積回路の試験工程を効率化できる。

【 0 0 4 6 】

【実施の形態】

実施の形態 1.

図 1 はこの発明による半導体集積回路の試験装置の実施の形態 1 の回路構成を示すブロック図である。図 2 は実施の形態 1 におけるテスト補助装置の回路構成を示すブロック図である。図 3 は実施の形態 1 によるテスト動作を示すタイミングチャートである。この実施の形態 1 の試験装置は、この発明による半導体集積回路の製造方法の試験工程において用いられる。

【 0 0 4 7 】

まず図 1 を参照して実施の形態 1 の全体的な回路構成を説明する。この実施の形態 1 の半導体集積回路の試験装置は、被試験半導体集積回路 1 0 に対する試験装置であり、テスト回路基板 1 1 と、外部試験機 1 8 と、テスト補助装置 2 0 とを備えている。被試験半導体集積回路 1 0 は、DUT (Device Under Test) と呼ばれる。この DUT 1 0 には、いろいろなタイプの L S I が適用可能であるが、この実施の形態 1 では、アナログ L S I に、ディジタル回路、具体的には、ロジック回路およびメモリ回路を搭載した混載タイプの L S I またはディジタル L S I を想定する。テスト回路基板 1 1 は DUT 基板とも呼ばれる。外部試験機 1 8 はテストとも呼ばれる。またテスト補助装置 2 0 は B O S T 装置とも呼ばれる。

【 0 0 4 8 】

なお、図 1 において、ハッチングを施した中間太さの信号線はアドレス信号ラインを、黒い中間太さの信号線はデータ信号ラインを、細い信号線は制御信号ラインをそれぞれ示す。また、黒くて太い信号線は B O S T 装置 2 0 から DUT 1 0 へ向かう DUT への入力パターン信号ラインを、メッシュを施した太い信号線は DUT 1 0 から B O S T 装置 2 0 へ向かう DUT 出力信号ラインを、ドッドを施した太い信号線は、DUT 1 0 に対する期待パターン信号ラインをそれぞれ示す。

【 0 0 4 9 】

DUTボード11は、DUT10の近傍に配置された回路基板であり、DUT10とテスト18の間で信号のやり取りを行なうテスト・DUT I/Fボードである。

図1では、DUTボード11の中にDUT10が描かれているが、このDUTボード11とDUT10は互いに別に構成され、互いの間で、直接信号のやり取りを行なう。

【0050】

BOST装置（Built Off Self Test装置）20は、テスト18に依存せず、DUT10の自己テスト（Built In Self Test）を行なうテスト機能の補助およびテスト18によるテスト機能拡張を目的としたテスト補助装置である。

このBOST装置20は、回路基板201を含む。この回路基板201は、BOST（Built Off Self Test）ボードとも呼ばれる。これは、BOST装置20を一枚の回路基板で構成する場合の回路基板である。

図1では、BOSTボード201はDUTボード11の中に描かれているが、これはBOSTボード201がDUTボード11に近傍に配置されることを表したものである。

【0051】

BOST装置20についてさらに詳細に説明する。このBOST装置20は、図1に示すハードウェア構成を有し、具体的には、(1)BOST通信インターフェイス部（BOST通信I/F部）30、(2)CPU部33、(3)基準クロック部38、(4)BOST制御部40、(5)テストパターンメモリ部（Test Pattern Memory/TPM部）50、(6)テストパターン信号発生器（Pattern Generator/P G部）60、(7)タイミング信号発生器（Timing Generator/TG部）70、(8)波形整形部（Wave Form/WF部）80、(9)出力判定部85、(10)エラー情報メモリ部90、(11)DUT・BOSTインターフェイス部（DUT・BOST I/F部）95、(12)電源部99を含む。

【0052】

BOST通信I/F部30は、テスト18とBOST装置20との間で通信を行なうためのインターフェイスであり、BOST装置20の内部のTPM部50

とテスト１８との間の通信、すなわち、テスト１８からTPM部５０へのテストパターンデータTPDの書き込みと、TPM部５０からテスト１８へのテストパターンデータTPDの読み出しを行なう。テスト１８からは、これらのテストパターンデータTPDの書き込みと読み出しのためのアドレス信号ATPを受ける。併せて、BOST通信I/F部３０は、BOST装置２０のCPU部３３とテスト１８との間の通信、具体的には、テスト１８からCPU部３３へテストコード（テスト番号）TCD、およびテストスタート信号TSTを与え、またCPU部３３からテスト１８へエラーコード（Pass/Fail情報）ECDを与える。

なお、TPM部５０へのテストパターンデータTPDの書き込み、読み出しは、テスト１８を使用せずに、テスト１８とは別のテストデータ源から行なうことも可能である。

【 0 0 5 3 】

CPU部３３は、BOST装置２０のホストコンピュータであり、デジタルシグナルプロセッサ（DSP）またはマイクロプロセッサで構成される。このCPU部３３は、テスト１８からBOST通信I/F部３０を経由して与えられるテストコード（テスト番号）TCD、テストスタート信号TSTに応じて、BOST装置２０の各部に初期設定を行ない、またBOST装置２０自体の診断を行ない、さらにテスト結果の解析を行なう。CPU部３３は、テストコードTCDに応じて、制御部４０に選択指示信号SISを供給する。この選択指示信号SISは、TPM部５０に記憶された複数のテスト項目に対応する複数のテストパターンデータTPDの中から、実行するテストパターンデータTPDを選択するための指示信号である。

基準クロック部３８は、基準クロックSCKを発生し、これをCPU部３３を含むBOST装置２０の各回路部分に供給する。

BOST制御部４０は、CPU部３３からの指示を受けてBOST装置２０の各回路部分を制御する。併せて、BOST装置２０のTPM部５０およびPG部６０に対するアドレスをも生成する。

【 0 0 5 4 】

TPM部50は、デジタルのテストパターンデータTPDを記憶するメモリである。このテストパターンデータTPDは、DUT10に対するテスト入力パターン信号TIP、DUT10からのテスト出力パターン信号TOP、その他テストパターン信号を発生するための基本データとなる。このTPM部50には、各種の半導体集積回路のデジタル回路試験に必要な各種のテスト項目のそれぞれに対応する複数のテストパターンデータTPDが記憶される。

このTPM部50は、比較的低速の、すなわち比較的小さな動作周波数を持ち、また大きな記憶容量を持った半導体メモリによって構成される。このTPM部50を構成する半導体メモリの大きな記憶容量は、試験に必要な多くのテストパターンデータTPDを記憶するのに有効であり、またその比較的低速の、比較的小さな動作周波数は、TPM部50を構成する半導体メモリを安価で、小型化するのに有効である。BOST装置20は、DUT10の近くのDUTボード11に配置されることから、その寸法に制限があるが、TPM部50の小型化は、BOST装置20の全体をより小型化するのに有効である。

具体的には、TPM部50は半導体メモリデバイスによって、10ギガビットから20ギガビットの大きな記憶容量を持つように構成される。また、TPM部50を構成する半導体メモリは、10メガヘルツから20メガヘルツの比較的小さな動作周波数を持った半導体メモリで構成される。半導体メモリとしては、例えばダイナミックランダムアクセスメモリ(DRAM)、スタティックランダムアクセスメモリ(SRAM)、フラッシュメモリなどを用い、これらを複数個組み合わせて構成される。

【0055】

次にPG部60は、TPM部50に記憶された複数のテスト項目のそれぞれに対応した複数のテストパターンデータTPDの中から、実行するテストに対応したテストパターンデータTPDをダウンロードし、このダウンロードしたテストパターンデータTPDに基づき、高速でテストパターン信号TPSを発生する。またこのPG部60は、このPG部60にダウンロードされたテストパターンデータTPDに基づき、テスト入力・判定パターン信号JPSを発生する。これらのテストパターン信号TPSおよびテスト入力・判定パターン信号JPSは、テ

ストパターンデータTPDに含まれた信号であり、PG部60が、TPM部50からダウンロードされたテストパターンデータTPDを読み出すことによって、取り出される。

このPG部60は、TPM部50を構成する半導体メモリよりも高速の半導体メモリで構成される。このPG部60を構成する半導体メモリは、TPM部50を構成する半導体メモリに比べて、より大きな動作周波数を持ち、高速でテストパターンデータETPDを読み出す。この動作周波数は、例えば100メガヘルツから250メガヘルツとされる。この高速でのテストパターンの発生は、テストパターンデータETPDの読み出し時間を短縮し、テストに必要な時間を短縮するのに有効である。このPG部60の記憶容量は、TPM部50の記憶容量に比べて小さく、例えば256メガビットから1ギガビットの記憶容量を持つ。

【0056】

TG部70は、テスト18からの測定スタート信号MST、外部クロック信号OCKを受け、また基準クロック部38からの基準クロック信号SCKを受けて、テストに必要な各種のタイミング信号を発生する。このタイミング信号には、測定スタート信号MSTに同期してテスト周期を決めるテスト周期信号TCY、DUT10へのテスト入力パターン信号TIPの立上がり、立下りのタイミングを設定するクロック信号CLK、およびDUT10からのテスト出力パターン信号TOPに対する判定タイミングを設定するストローブ信号（ストローブ周期信号）STBが含まれる。これらのタイミング信号の中、テスト周期信号TCYは、BOST制御部40と、WF部80の前段のフリップフロップ803（図2）にも供給され、またクロック信号CLKはWF部80に供給され、またストローブ信号STBは出力判定部85に供給される。

【0057】

このWF部80は、PG部60からテストパターン信号TPSとテスト入力・判定パターン信号JPSを受け、またTG部70からテスト周期信号TCYとクロック信号CLKを受け、DUT10へのテスト入力パターン信号TIPを生成する。このテスト入力パターン信号TIPは、DUT・BOST I/F部95を経由して、DUT10に供給される。

【 0 0 5 8 】

出力判定部 8 5 は、DUT 1 0 から DUT・BOST I/F 部 9 5 を経由して供給されるテスト出力パターン信号 TOP を判定する。具体的には、このテスト出力パターン信号 TOP と、PG 部 6 0 からのテスト入力パターン信号 TPS とを、TG 部 7 0 からのストロブ信号 STB のタイミングで判定する。PG 部 6 0 から出力判定部 8 5 へ供給されるテストパターン信号 TPS は、DUT 1 0 からのテスト出力パターン信号 TOP に対する期待パターン信号であり、DUT 1 0 からのテスト出力パターン信号 TOP が、このテストパターン信号 TPS と同じであればエラーなしと判定され、DUT 1 0 からのテスト出力パターン信号 TOP が、期待パターン信号であるテストパターン信号 TPS と異なる値であれば、エラーデータ信号が出力される。

【 0 0 5 9 】

エラー情報メモリ部 9 0 は、出力判定部 8 5 からのエラーデータ信号を記憶し、またそのエラー発生時のテストパターンベクタのアドレスを記憶する。このテストパターンベクタのアドレスは、PG 部 6 0 のベクタアドレスであり、出力判定部 8 5 がエラーを判定したときの PG 部 6 0 のベクタアドレス値である。なお、テストパターンベクタのベクタアドレスは、テストパターンデータ TPD の一連のアドレスのグループ単位を意味する。

【 0 0 6 0 】

DUT・BOST I/F 部 9 5 は、DUT 1 0 へテスト入力パターン信号 TIP を供給し、また DUT 1 0 からのテスト出力パターン信号 TOP を受けて、出力判定部 8 5 に供給する。併せて、これらのテスト入力パターン信号 TIP と、テスト出力信号 TOP の入出力電圧レベルの整合、調整と、DUT 1 0 に対する入出力信号ラインの接続切り替えを行なう。この入出力信号ラインの接続切り替えは、テスト 1 8 と DUT 1 0 との接続と、BOST 装置 2 0 と DUT 1 0 との接続とを切り替える。

電源部 9 9 は、外部電源からの給電を受けて、BOST 装置 2 0 に対する各種電源電圧を生成する。この電源部 9 9 は、AC から DC への変換、DC-DC 間の電圧変換を含む。

【 0 0 6 1 】

図 2 は図 1 に示す B O S T 装置 2 0 の中のとくに、B O S T 制御部 4 0 と、T G 部 7 0 と、W F 部 8 0 と、出力判定部 8 5 と、エラー情報メモリ部 9 0 と、D U T ・ B O S T I / F 部 9 5 の詳細を示すブロック図である。なお、図 2 において、黒丸を付した細い信号線はデータバスを示し、黒丸を付した中間太さの信号線は初期設定ラインを示す。

【 0 0 6 2 】

B O S T 制御部 4 0 は、メモリアドレスカウンタ 4 0 1、4 0 2 を有する。メモリアドレスカウンタ 4 0 1 は、T G 部 7 0 からのテスト周期信号 T C Y (図 3 (d) に示す) を受ける度毎に、P G 部 6 0 に対するメモリアドレス信号 M A D (図 3 (a) に示す) を進める。このメモリアドレス信号 M A D は、テストベクタアドレスに対応するアドレス信号である。このメモリアドレス信号 M A D は、P G 部 6 0 へ供給されるとともに、エラー情報メモリ部 9 0 の D A T A 端子にも供給される。メモリアドレスカウンタ 4 0 2 は、出力判定部 8 5 の出力段に接続された反転回路 8 5 5 からメモリライト信号 M W R (図 3 (k) に示す) を受けたときに、エラー情報メモリ部 9 0 に対し、エラーデータ信号 E D T を書き込むためのアドレスを指定するアドレス指定信号 M I S (図 3 (m) に示す) を供給する。

【 0 0 6 3 】

T G 部 7 0 は、テスト周期信号 T C Y (図 3 (d) に示す) を発生するテスト周期信号発生回路 7 0 0 と、クロック信号 C L K (図 3 (e) に示す) を発生するクロック信号発生回路 7 1 0 と、ストローク信号 S T B (図 3 (f) に示す) を発生するストローク信号発生回路 7 1 5 とを有する。

テスト周期信号発生回路 7 0 0 は、選択回路 7 0 1 と、選択回路 7 0 2 と、P L L 回路 7 0 3 と、A N D 回路 7 0 4 と、フリップフロップ 7 0 5 とを有する。選択回路 7 0 1 は、基準クロック部 3 8 からの基準クロック信号 S C K を受ける入力 A と、テスト 1 8 からの外部クロック信号 O C K (図 3 (b) に示す) を受ける入力 B と、B O S T 制御部 4 0 からの選択信号 S を受ける選択入力 S と、出力 F とを有する。この選択回路 7 0 1 の出力 F は、選択入力 S が低レベル L であ

れば、基準クロック信号 SCK に等しく、また選択入力 S が高レベル H であれば、外部クロック信号 OCK に等しくなる。この選択回路 701 の出力 F は、PLL 回路 703 を介して選択回路 702 の入力 A に供給される。PLL 回路 703 は、基準クロック信号 CLK または外部クロック信号 OCK の位相ロックを行なうもので、BOST 制御部 40 から初期設定される。

【0064】

選択回路 702 は、入力 A と、基準クロック信号 SCK を受ける入力 B と、外部クロック信号 OCK (図 3 (b) に示す) を受ける入力 C と、選択信号 S0 / S1 を受ける選択入力と、出力 F とを有する。この選択回路 702 の出力 F は、選択入力 S0 が低レベル L で、しかも選択入力 S1 も低レベル L であるときに、入力 A に等しく、また選択入力 S0 が高レベル H で、選択入力 S1 が低レベル L のときに、基準クロック入力 B に等しく、また選択入力 S0 が低レベル L で、選択入力 S1 が高レベル H のときに、外部クロック入力 C に等しくなる。この選択回路 702 の出力 F は、AND 回路 704 の一方の入力となる。

フリップフロップ 705 は、テスト 18 からの測定スタート信号 MST (図 3 (c) に示す) を受けるクロック入力と、電源電圧に接続された入力 D と、出力 Q とを有し、このフリップフロップ 705 の出力 Q が AND 回路 704 の他方の入力となる。AND 回路 704 は、選択回路 702 の出力 F と、フリップフロップ 705 の出力 Q との AND 出力を出力する。この AND 回路 704 の出力が、テスト周期信号 TCY である。このテスト周期信号 TCY は、図 3 (d) に示され、これはメモリアドレスカウンタ 401 に供給されてそのメモリアドレスカウンタ値を進めるとともに、クロック信号発生回路 710、ストローブ信号発生回路 715 にも供給される。

【0065】

クロック信号発生回路 710 は遅延回路 711 を有する。この遅延回路 711 は、テスト周期信号発生回路 700 から供給されたテスト周期信号 TCY を、初期設定された遅延時間 t_{clk} だけ遅延して、図 3 (e) に示すクロック信号 CLK を発生する。遅延時間 t_{clk} は、BOST 制御部 40 から初期設定される。

ストロブ信号発生回路 7 1 5 は遅延回路 7 1 6 を有する。この遅延回路 7 1 6 は、テスト周期信号発生回路 7 0 0 から供給されたテスト周期信号 T C Y を、初期設定された遅延時間 t_{stb} だけ遅延して、図 3 (f) に示すストロブ信号 S T B を発生する。遅延時間 t_{stb} は、B O S T 制御部 4 0 から初期設定される。

【 0 0 6 6 】

WF 部 8 0 は、図 2 に示すようにフリップフロップ 8 0 1 と、AND 回路 8 0 2 を有し、またその前段にはフリップフロップ 8 0 3 が接続されている。フリップフロップ 8 0 3 は、入力 D 1 に P G 部 6 0 からのテストパターン信号 T P S を、入力 D 2 にテスト入力判定パターン信号 J P S とを受け、またそのクロック入力 C にはテスト周期信号発生回路 7 0 0 からのテスト周期信号 T C Y を受ける。このフリップフロップ 8 0 3 は、図 3 (h) に示すテストパターン信号 T P S と、図 3 (g) に示すテスト入力・判定パターン信号 J P S とを、テスト周期信号 T C Y に同期させて、出力 Q 1、Q 2 から出力する。フリップフロップ 8 0 3 からのテストパターン信号 T P S は WF 部 8 0 のフリップフロップ 8 0 1 の入力 D に供給され、またテスト入力判定パターン信号 J P S は AND 回路 8 0 2 の一方の入力（反転入力）に供給される。

【 0 0 6 7 】

AND 回路 8 0 2 は、このテスト入力・判定パターン信号 J P S とともに、他方の入力にクロック信号発生回路 7 1 0 からのクロック信号 C L K を受け、それらの AND 出力をフリップフロップ 8 0 1 のクロック入力に供給する。フリップフロップ 8 0 1 の出力 Q は、図 3 (g) に示すテスト入力・判定パターン信号 J P S が低レベル L のとき、すなわちテスト入力・判定パターン信号 J P S が入力状態を示すときには、クロック信号 C L K の立ち上がりのタイミングにおけるテストパターン信号 T P S を出力する。図 3 (g) に示すテスト入力・判定パターン信号 J P S が高レベル H のとき、すなわちテスト入力・判定パターン信号 J P S が判定状態を示すときには、フリップフロップ 8 0 1 の出力 Q は変化することなく、前の状態を保つ。このフリップフロップ 8 0 1 の出力 Q は、結果として、テスト入力パターン信号 T I P となり、これは D U T ・ B O S T I / F 部 9 5

の 3 状態バッファ 9 5 1 を経由して D U T 1 0 に供給される。

【 0 0 6 8 】

出力判定部 8 5 は、エクスクルーシブ O R 回路 8 5 1 と、A N D 回路 8 5 2 と、フリップフロップ 8 5 3 と、パルス生成回路 8 5 4 とを有する。エクスクルーシブ O R 回路 8 5 1 は、その一方の入力に、フリップフロップ 8 0 3 からのテストパターン信号 T P S (図 3 (h) に示す) を受け、またその他方の入力に、D U T ・ B O S T I / F 部 9 5 の入力バッファ回路 9 5 2 からのテスト出力パターン信号 T O P (図 3 (i) に示す) を受ける。このエクスクルーシブ O R 回路 8 5 1 は、テスト出力パターン信号 T O P とテストパターン信号 T P S とを比較し、それらの値が一致すれば、低レベル L の出力を発生し、またそれらが不一致であれば、高レベル H の出力を発生し、エラー状態を示す。

【 0 0 6 9 】

このエクスクルーシブ O R 回路 8 5 1 の出力は、フリップフロップ 8 5 3 の入力 D となる。A N D 回路 8 5 2 は、その一方の入力に、フリップフロップ 8 0 3 からのテスト入力・判定パターン信号 J P S を受け、またその他方の入力に、ストローブ信号発生回路 7 1 5 からのストローブ信号 S T B を受ける。この A N D 回路 8 5 2 の出力は、フリップフロップ 8 5 3 のクロック入力 C となる。なお、出力判定部 8 5 では、テスト入力・判定パターン信号 J P S が入力状態を示しているときには、クロック信号 C L K が有効、ストローブ信号 S T B が無効とされ、テスト入力・判定パターン信号 J P S が判定状態を示しているときには、クロック信号 C L K が無効、ストローブ信号 S T B が有効とされ、このストローブ信号 S T B のタイミングで、テストパターン信号 T P S と、テスト出力パターン信号 T O P とが比較される。

【 0 0 7 0 】

フリップフロップ 8 5 3 の出力 Q は、図 3 (g) に示すテスト入力・判定パターン信号 J P S が高レベル H のとき、すなわちテスト入力・判定パターン信号 J P S が判定状態を示すときには、ストローブ信号 S T B のタイミングにおける入力 D、すなわち A N D 回路 8 5 2 の出力の値を出力する。テスト入力・判定パターン信号 J P S が低レベル L のとき、すなわちテスト入力・判定パターン信号 J

P S が入力状態を示すときには、フリップフロップ 8 5 3 の出力 Q は、変化することなく、前の値を保つ。結果として、フリップフロップ 8 5 3 の出力は、図 3 (j) に示すエラーデータ信号 E D T となる。

【 0 0 7 1 】

図 3 の動作タイミングチャートにおいて、図 (a) に示すメモリアドレス信号 M A D がアドレス 1、2、3、5、6 のときには、図 (g) に示すテスト入力・判定パターン信号 J P S は、いずれも入力状態を示し、クロック信号 C L K が有効、ストロブ信号 S T B が無効とされ、テスト入力パターン信号 T I P が D U T 1 0 に入力される。メモリアドレス M A D がアドレス 4 のときに、テスト入力・判定パターン信号 J P S が判定状態を示す。このとき、クロック信号 C L K は無効とされ、ストロブ信号 S T B が有効となって、このストロブ信号 S T B のタイミングで判定が行なわれる。図 3 では、メモリアドレス信号 M A D がアドレス 4 のときに、テストパターン信号 T P S は 0 であり、テスト出力パターン信号 T O P に対する期待値は 0 である。これに対し、図 (i) に示すテスト出力パターン信号 T O P は、このとき 1 を示しているので、出力判定部 8 5 のフリップフロップ 8 5 3 の出力 Q は高レベル H となり、図 (j) に示すエラーデータ信号 E D S が立ち上がる。

【 0 0 7 2 】

このエラーデータ信号 E D T は、エラー情報メモリ部 9 0 の D A T A 入力に供給され、併せてパルス生成回路 8 5 4 に供給される。パルス生成回路 8 5 4 は、反転回路 8 5 5 にパルス入力を与え、反転回路 8 5 5 は図 3 (k) に示すメモリライト信号 M W R を発生して、これをメモリアドレスカウンタ 4 0 2 のクロック入力に供給し、またエラー情報メモリ部 9 0 の W R 入力に供給する。エラー情報メモリ部 9 0 は、エラーデータ信号 E D T と、メモリアドレスカウンタ 4 0 1 からのメモリアドレス信号 M A D (図 3 (a) に示す) を、メモリライト信号 M W R のタイミングにおいて記憶する。メモリアドレスカウンタ 4 0 2 からのアドレス指定信号 M I S は、その記憶アドレスを指定する。

【 0 0 7 3 】

D U T ・ B O S T I / F 部 9 5 は、入出力切替回路 9 5 0 と、I / F 電圧レ

ベル変換回路 9 5 5 と、テスト／B O S T 切替回路 9 6 0 とを有する。入出力切替回路 9 5 0 は、3 状態バッファ 9 5 1 と、バッファ 9 5 2 とを有する。3 状態バッファ 9 5 1 は、フリップフロップ 8 0 3 からのテスト入力・判定パターン信号 J P S を受ける制御入力と、フリップフロップ 8 0 1 の出力 Q、すなわちテスト入力パターン信号 T I P を受ける入力と、出力とを有する。この 3 状態バッファ 9 5 1 は、テスト入力・判定パターン信号 J P S が低レベル L のとき、すなわちテスト入力・判定パターン信号 J P S が入力状態を示すときには、テスト入力パターン信号 T I P を出力する。テスト入力・判定パターン信号 J P S が高レベル H のとき、すなわちテスト入力・判定パターン信号が判定状態を示すときには、3 状態バッファ 9 5 1 の出力はない。

【 0 0 7 4 】

バッファ 9 5 2 は入力信号を整形するためのバッファであり、その出力は、出力判定部 8 5 のエクスクルーシブ O R 回路 8 5 1 の他方の入力に供給される。I / F 電圧レベル変換回路 9 5 5 は、M O S トランジスタ 9 5 6 を有する。この M O S トランジスタ 9 5 6 のゲートは、ディジタルアナログ変換回路 9 5 7 のアナログ出力から基準電圧 V S を受ける。また M O S トランジスタ 9 5 6 のドレインは、3 状態バッファ 9 5 1 の出力と、バッファ 9 5 2 の入力とに接続され、そのソースはテスト／B O S T 切替回路 9 6 0 に接続されている。この M O S トランジスタ 9 5 6 はそのソース、ドレインの電圧を、ゲート電圧に与えられる基準電圧 V S に応じて変換する。例えば、D U T 1 0 の電源電圧が 3 V 系などの低電圧であり、B O S T 装置 2 0 の電圧が 5 V である場合、D U T 1 0 へのテスト入力パターン信号 T I P のレベルを 3 V に変換し、また D U T 1 0 からのテスト出力パターン信号 T O P を 3 V から 5 V に変換する。ディジタルアナログ変換回路 9 5 7 には、電源部 9 9 からの電圧が与えられ、またこのディジタルアナログ変換回路 9 5 7 は B O S T 制御部 4 0 から初期設定される。

【 0 0 7 5 】

テスト／B O S T 切替回路 9 6 0 は、切替スイッチ 9 6 1 を有する。この切替スイッチ 9 6 1 は、D U T 1 0 に接続された共通の端子 C と、テスト 1 8 に接続された端子 A と、M O S トランジスタ 9 5 6 のソースに接続された端子 B とを有

する。端子B、Cが接続された状態では、MOSトランジスタ956のソースがDUT10に接続され、BOST装置20によるテストが実行される。端子A、Cが接続された状態では、テスト18とDUT10とが直接接続され、テスト18によるテストが実行される。

【0076】

図1、2、3に示した実施の形態1について、その動作をまとめて説明する。

まず初期設定動作は次の(1)(2)(3)(4)の通りである。

- (1) テストパターンデータTPDの書き込み
- (2) テストコード番号TCDの送信
- (3) BOST装置20における初期設定
- (4) BOST装置20における初期条件設定

これらの初期設定動作について以下順次説明する。

【0077】

- (1) テストパターンデータTPDの書き込み

テスト18または別のデータ源から、BOST通信 I/F部30を経由して、各種半導体集積回路のデジタル回路のテストに必要な複数のテスト項目に対応するテストパターンデータTPDをTMP部50に書き込む。このテストパターンデータTPDの書き込みに代わり、予めテストパターンデータTPDを書き込んだTMP部50を、BOST装置20に取り付けることもできる。

【0078】

- (2) テストコード番号TCDの送信

テスト18から、実施するテスト項目に相当するテストコードTCDを、BOST通信 I/F部30を経由して、CPU部33に送信する。

【0079】

- (3) BOST装置20における初期設定

テストコードTCDを受信したCPU部33は、TMP部50、PG部60、TG部70に対する初期設定を行なう。TMP部50に対する初期設定は、TMP部50のメモリに対し、テストコードTCDに対応して実行するテストパターンデータTPDのスタートアドレスとストップアドレスを設定する。

PG部60に対する初期設定は、PG部60のメモリに対し、実行するテストパターンデータTPDを書き込むためのスタートアドレスと、ストップアドレスを設定する。TG部70に対する初期設定は、使用する基準信号を基準クロック信号SLKとした上で、テスト周期信号TCYのタイミング設定を行なう。これらのTMP部50、PG部60、TG部70に対する初期設定の完了後に、TMP部50からPG部60へ、複数のテストパターンデータTPDの中から選択された、実行するテストパターンデータTPDをダウンロードする。

【0080】

(4) BOST装置20における初期条件設定

(3)の初期設定の完了後に、さらに次の初期条件設定を、エラー情報メモリ部90、TG部70、DUT・BOST I/F部95に対して行なう。

エラー情報メモリ部90に対する初期条件設定は、エラー情報メモリ部90に対するスタートアドレスとストップアドレスの設定である。TG部70に対する初期条件設定は、テストに使用する基準クロック信号CLK、外部クロック信号OCKの選択と、テスト周期信号TCY、クロック信号CLK、およびストローブ信号STBの生成のためのタイミングデータの設定である。

DUT・BOST I/F部95に対する初期条件設定は、MOSTランジスタ956のゲートに対する基準電圧VSの設定である。

【0081】

以上の初期設定、初期条件設定の後、次の(1)(2)(3)(4)の動作により、テスト動作が実行される。このテスト動作(1)(2)(3)(4)について順次説明する。

(1) PG部60にダウンロードされたテストパターンデータをPG部60から読み出し、それに含まれたテストパターン信号TPSと、テスト入力・判定パターン信号JPSを、テスト周期信号TCYに同期して出力する。

(2) WF部80において、DUT10へ向けたテスト入力パターン信号TIPが出力される。このテスト入力パターン信号TIPは、DUT・BOST I/F部95を経由して、DUT10に供給される。

(3) DUT10からのテスト出力パターン信号TOPが、DUT・BOST

I/F部95を経由して、出力判定部85に送られる。出力判定部85において、このテスト出力パターン信号TOPは、DUT10からの出力信号の期待パターン信号であるテストパターン信号TPSと比較され、エラー発生の有無の確認が行なわれる。エラーの発生が確認されると、そのエラーデータ信号EDSとともに、エラー発生時のテストパターンベクタアドレスMADを、エラー情報メモリ部90に記憶する。

(4) PG部60から、実行するテストパターンデータTPDの読み出しが完了するまで、(1)から(3)のテスト動作が繰り返される。

【0082】

テスト結果の判定動作は、CPU部33がエラー情報メモリ部90に記憶されたエラーデータ信号EDSと、エラー発生時のアドレスMADを読み出し、良/不良の判定を行なった上で、その結果をBOST通信 I/F部30を経由してテスト18へ送信する。エラー情報メモリ部90のデータに基づき、各種エラー解析を行なうこともできる。

【0083】

実施の形態1では、TPM部50が、DUT10のデジタル回路のテストのための複数のテスト項目に対応した複数のテストパターンデータTPDを記憶し、この複数のテストパターンデータTPDの中から選択されたテストパターンデータがPG部60に書き込まれる。この構成によれば、専用試験機を特別に開発することなく、TPM部50に記憶するテストパターンデータを拡張することにより、DUT10のデジタル回路に対する試験機能を簡単に拡張することができる。併せて、TPM部50に予め必要なテストパターンデータを記憶しておくことにより、迅速にデジタル回路の試験をテスト補助装置20で実施できる。

【0084】

また実施の形態1では、TPM部50を構成する半導体メモリが、PG部60を構成する半導体メモリよりも大きな記憶容量を持って構成されており、TPM部50には、より多くのテストパターンデータを蓄積することができ、これによって、BOST装置20が対応できるファンクションテストの種類が多くなり、BOST装置20により、効率的な試験を、より多くのファンクションテストに

において実行できる。

また、実施の形態 1 では、P G 部 6 0 を構成する半導体メモリが、T P M 部 5 0 を構成する半導体メモリよりも高速とされている。すなわち、P G 部 6 0 を構成する半導体メモリは、T P M 部 5 0 を構成する半導体メモリよりも大きな動作周波数を持ち、高速動作する。これは、P G 部 6 0 からのテストパターンデータの読み出し速度を高くするのに有効であり、その結果、B O S T 装置 2 0 による D U T 1 0 のデジタル回路の試験をより高速に行なうことができ、試験時間を短縮できる。また、T P M 部 5 0 の半導体メモリは、動作速度が遅いが、これは、T P M 部 5 0 を構成する半導体メモリを安価、小型化するのに有効である。

【 0 0 8 5 】

また、実施の形態 1 では、T P M 部 5 0 に記憶された複数のテストパターンデータを選択するのに、C P U 部 3 3 が B O S T 制御部 4 0 に選択指示信号 S I S を供給する。この構成によって、選択指示信号 S I S に対応したテストパターンデータが的確に、P G 部 6 0 へ転送される。

【 0 0 8 6 】

次に、実施の形態 1 のハードウェア構成を拡張、変更したこの発明による半導体集積回路の試験装置に関する実施の態様 1 - 1 から 1 - 1 7 について説明する。これらの実施の形態 1 - 1 から 1 - 1 7 の試験装置も、この発明による半導体集積回路の製造方法に含まれる試験工程において使用される。

実施の形態 1 - 1 .

この実施の形態 1 - 1 は、実施の形態 1 の B O S T 装置 2 0 を複数のチャンネルとして構成するものである。具体的には、B O S T 装置 2 0 を、共通構成部分 2 0 A と、多チャンネル構成部分 2 0 B とに分けて構成する。

【 0 0 8 7 】

この実施の形態 1 - 1 には次の 2 つの実施態様がある。第 1 の実施態様は、図 4 に示すように、共通構成部分 2 0 A に、(1) B O S T 通信 I / F 部 3 0 と、(2) C P U 部 3 3 と、(3) 基準クロック部 3 8 と、(12) 電源部 9 9 とを配置し、多チャンネル構成部分 2 0 B には、複数のチャンネル 2 0 B 1、2 0 B 2、・・・、2 0 B N を設け、これらの各チャンネルのそれぞれに、(4) B O S T 制御部 4 0

と、(5)TMP部50と、(6)PG部60と、(7)TG部70と、(8)WF部80と、(9)出力判定部85と、(10)エラー情報メモリ部90と、(11)DUT・BOST I/F部95とを配置したものである。外部クロック信号OCKは、各チャンネル20B1、20B2、・・・、20BNに共通に供給される。

【0088】

実施の形態1-1の第2の実施態様は、図5に示すように、共通構成部分20Aに、(1)BOST通信I/F部30と、(3)基準クロック部38と、(12)電源部99とを配置し、また、各チャンネル20B1、20B2、・・・、20BNのそれぞれに、(2)CPU部33と、(4)BOST制御部40と、(5)TMP部50と、(6)PG部60と、(7)TG部70と、(8)WF部80と、(9)出力判定部85と、(10)エラー情報メモリ部90と、(11)DUT・BOST I/F部95とを配置したものである。この実施態様でも、外部クロック信号OCKは、各チャンネル20B1、20B2、・・・、20BNに共通に供給される。

【0089】

実施の形態1-1では、多チャンネル構成部分20Bのそれぞれにおいて、TMP部50に互いに同じテストパターンデータを記憶させることもでき、また互いに異なるテストパターンデータを記憶させることもできる。またPG部60についても、互いに同じテストパターンデータをダウンロードし、または異なるテストパターンデータをダウンロードすることもできる。各チャンネル20B1、20B2、・・・、20BNを、DUT10の複数のラインに対応させる場合、例えばDUT10がメモリであって、複数のX方向ラインとこのX方向ラインと直交する複数のY方向ラインを持つようなときに、各チャンネルをそのX方向ラインに対応させる場合には、同じテストパターンデータをダウンロードして、各チャンネルに対応したテスト入力パターン信号TIPを与える。各チャンネルのTPM部50およびPG部60TPDに互いに異なるテストパターンデータを取り込む場合には、より多くの種類のテストに対応することが可能となる。

【0090】

実施の形態1-1では、多チャンネル構成によって、BOST装置20によるテスト能力を高くすることができる。図4の実施態様のように、CPU部33を

共通構成部分 2 0 A に配置するものでは、1 つの CPU 部 3 3 を共用でき、装置の小型化ができるとともに、各チャンネルを共通に制御できる。

【 0 0 9 1 】

実施の形態 1 - 2 .

この実施の形態 1 - 2 は、DUT をモールド型半導体集積回路とする場合における半導体集積回路の試験装置の実施の形態である。図 6 (a) はこの実施の形態 1 - 2 による試験装置におけるテストヘッド装置 1 2 A に含まれた DUT ボード 1 1 0 の上面図、図 6 (b) はその側面図、図 6 (c) はテストヘッド装置 1 2 A に接続されるテスト 1 8 の構成図である。

このテストヘッド装置 1 2 A は、テストヘッド 1 2 0 と、DUT ボード 1 1 0 と、BOST ボード 2 0 1 を有し、DUT 1 0 はモールド型半導体集積回路とされ、DUT ボード 1 1 0 上に搭載される。

【 0 0 9 2 】

このモールド型半導体集積回路は、半導体集積回路 (IC) チップをモールド樹脂で覆い、モールド樹脂から複数の端子を導出したものである。この IC チップは、例えばアナログの L S I に、ディジタル回路を混載したものとして構成される。DUT ボード 1 1 0 は、DUT 1 0 の端子を挿入する DUT ソケット 1 1 1 を有し、その周りに多数の接続端子 1 1 2 と、テスト用のリレー、コンデンサ群 1 1 3 を配置したものである。

DUT ボード 1 1 0 の下には、テスト 1 8 に接続されるテストヘッド 1 2 0 が配置されている。このテストヘッド 1 2 0 は、DUT ボード 1 1 0 に接続される多数の接続ピン 1 2 1 を有し、これらの接続ピン 1 2 1 を介して DUT 1 0 とテストに必要な信号のやり取りを行なう。

【 0 0 9 3 】

BOST 装置 2 0 を構成する BOST ボード 2 0 1 は、DUT ボード 1 1 0 の近傍に配置される。この BOST ボード 2 0 1 は 1 枚の回路基板上に、BOST 装置 2 0 を搭載するもので、その回路構成は図 1、図 2 と同じである。この実施の形態 1 - 2 では、BOST ボード 2 0 1 は DUT ボード 1 1 0 の上に搭載される。DUT ボード 1 1 0 には、BOST ボード 2 0 1 を接続するためのソケット

114が固定されている。BOSTボード201は、このソケット114に挿入されるコネクタ202を下面に有し、このコネクタ202をソケット114に挿入することにより、DUTボード110上に支持され、このソケット114を経由して、テストヘッド120と信号のやり取りを行なう。

【0094】

テスト18は、テストパターン発生器(TPG)181、電源部182、ピンエレクトロニクス部183を有し、BOSTボード201に対して、電源電圧Vdを供給し、BOSTボード201との間でBOST制御信号185をやり取りする。このBOST制御信号185には、テスト18からBOSTボード201、DUTボード110への指令信号だけでなく、BOSTボード201からテスト18へのテスト解析結果信号も含まれる。テスト18からBOSTボード201へ入力されるテストパターンデータTPD、テストコードTCDなどもBOST制御信号185に含まれる。このBOST制御信号185は、テストプログラムに記述されたテスト信号条件に基づき、テスト18に内蔵されたテストパターン発生器181により発生され、ピンエレクトロニクス部183を経由して、BOSTボード201、DUTボード110に供給される。BOSTボード201からのエラーコードECDは、ピンエレクトロニクス部183に送られ、このピンエレクトロニクス部183の判定部にて、テストパターン信号との比較、判定に基づき、その結果情報が取り込まれる。

【0095】

この実施の形態1-2によれば、モールド型半導体集積回路がDUT10とされる場合において、DUT10がDUTボード110に搭載され、またBOSTボード201もDUTボード110に搭載したので、BOST装置20をDUT10の近傍に配置して、DUT10のテストを実施することができる。とくに、BOST装置20に、TMP部50と、PG部60とを配置することにより、TMP部50により多くのテストパターンデータTPDを蓄積し、このテストパターンデータTPDの中から選択されたテストパターンデータをPG部60にダウンロードすることにより、効率的にテストを実施できる。

【0096】

実施の形態 1 - 3.

この実施の形態 1 - 3 も、モールド型半導体集積回路が DUT 1 0 とされる場合における半導体集積回路の試験装置の実施の形態であり、図 7 はこの実施の形態 1 - 3 におけるテストヘッド装置 1 2 B を示す。このテストヘッド装置 1 2 B は、実施の形態 1 - 2 の BOST ボード 2 0 1 が省略され、図 1、図 2 に示す BOST 装置 2 0 の各回路部品が DUT ボード 1 1 0 に直接搭載される。この構成を除くその他の構成は、実施の形態 1 - 2 と同じであり、同じ部分を同じ符号で示し、説明を省略する。

この実施の形態 1 - 3 でも、実施の形態 1 - 2 と同様に、DUT 1 0 がモールド型半導体集積回路として構成され、DUT ボード 1 1 0 のソケット 1 1 1 に挿入され、テストされる。

DUT ボード 1 1 0 の右上面には、BOST 装置 2 0 を構成する各回路部品(1)-(12)が直接搭載され、この搭載部分において、BOST 装置 2 0 と DUT ボード 1 1 0 との接続が行なわれ、テストヘッド 1 2 0 との間で信号にやり取りが行なわれる。

【0097】

この実施の形態 1 - 3 によれば、モールド型半導体集積回路が DUT 1 0 とされる場合において、BOST 装置 2 0 を DUT ボード 1 1 0 上に直接搭載しているので、DUT ボード 1 1 0 の構成の簡略化を図りながら、BOST 装置 2 0 を DUT 1 0 の近傍に配置して、DUT 1 0 のテストを実施することができる。

【0098】

実施の形態 1 - 4.

実施の形態 1 - 4 は、半導体ウエハ 1 0 A が DUT 1 0 とされる場合における半導体集積回路の試験装置の実施の形態であり、この実施の形態 1 - 4 は図 8 に示すテストヘッド装置 1 2 C を有する。このテストヘッド装置 1 2 C は、図 8 (a) に示す BOST ボード 2 0 1 と、図 8 (b) に示す BOST I/F ボード 2 0 3 と、図 8 (c) に示す DUT ボード 1 1 0 を有する。図 8 (d) はテストヘッド装置 1 2 C の側面図である。

【0099】

この実施の形態 1-4 では、半導体ウエハが DUT 10 とされ、半導体集積回路を構成するために製造された半導体ウエハがテストされる。この半導体ウエハは、多数のチップ区域を有し、それらの各チップ区域のそれぞれに、半導体集積回路が作り込まれる。半導体ウエハは、後の工程で、各チップ区域毎に分離されて、ICチップとなり、モールド樹脂内に封じられる。この実施の形態 1-4 では、DUT ボード 110 はプローブカードであり、円形に構成されていて、その下面の中心部には、半導体ウエハ 10 に対する多数のプローブ針 115 が取り付けられている。

BOST I/F ボード 203 は円形に構成され、DUT ボード 110 の上部に接続構体 116 を介して配置されている。BOST I/F ボード 203 と DUT ボード 110 との電氣的接続は、接続構体 116 によって行なわれる。BOST I/F ボード 203 の上面の中央には、ソケット 117 が取り付けられており、BOST ボード 201 はこのソケット 117 にコネクタ 118 を挿入して支持される。BOST ボード 201 には BOST 装置 20 が実装される。この BOST 装置 20 の回路構成は、図 1、図 2 と同じである。

【0100】

この実施の形態 1-4 では、BOST ボード 201 が BOST I/F ボード 203 上に搭載され、この BOST I/F ボード 203 がプローブ針 115 を有する DUT ボード 110 に搭載されるので、BOST 装置 20 を DUT 10 の半導体ウエハの近傍に配置し、半導体ウエハの各チップ領域に含まれるデジタル回路の各種テストを実施できる。

【0101】

実施の形態 1-5.

実施の形態 1-5 も、半導体ウエハが DUT 10 とされる場合における半導体集積回路の試験装置の実施の形態であり、この実施の形態 1-5 は図 9 に示すテストヘッド装置 12D を有する。図 9 (a) はテストヘッド装置 12D の上面図、図 9 (b) はその側面図である。このテストヘッド装置 12D は、DUT ボード 110 の上面に、BOST 装置 20 を構成する各回路部分(1)-(12)を直接搭載したものであり、BOST 装置 20 と DUT ボード 110 との接続は、その B

OST装置20の搭載部分において行なわれる。

【0102】

この実施の形態1-5では、BOST装置20の各回路部分をDUTボード110に直接搭載しているので、テストヘッド12Dの構成の簡略化を図り、併せてBOST装置20をDUT10である半導体ウエハの近傍に配置し、半導体ウエハの各チップ領域に含まれるデジタル回路の各種テストを実施できる。

【0103】

実施の形態1-6.

この実施の形態1-6は、この発明による半導体集積回路の試験装置の実施の形態であり、この実施の形態1-6はBOST装置20を構成するBOST組立210Aを備えている。このBOST組立210Aは、5枚の回路基板211から215を組み合わせて構成される。

図10(a)はBOST組立210Aの基板構成の概念図であり、図10(b)はその外観斜視図である。

【0104】

実施の形態1-6のBOST組立210Aは、DUTボード110の上に配置され、5枚の回路基板211、212、213、214、215を組み合わせて構成される。2つの回路基板211、212は、DUTボード110に対して平行に配置され、3つの回路基板213、214、215はDUTボード110に対して、垂直に配置される。回路基板211がDUTボード110の直ぐ上に配置され、その上部に回路基板212が配置される。回路基板213、214、215は回路基板212の上に配置される。回路基板211はDUTボード110に接続され、回路基板212は回路基板211に接続される。回路基板213、214、215は、それぞれ回路基板212に接続される。

【0105】

回路基板211、212、213、214、215には、図1に示すBOST装置20の各回路部分(1)-(12)が配置される。回路基板211は、第1のBOST I/F部を構成し、DUTボード110とBOST装置20との間の信号接続を行なう。この回路基板211には、併せてBOST装置20の電源部99

が搭載される。回路基板 2 1 2 は、第 2 の B O S T I / F 部を構成し、回路基板 2 1 1、2 1 3、2 1 4、2 1 5 の間の接続を行う。併せて回路基板 2 1 2 には、D U T 1 0 のテストに必要な周辺回路（ライン切替リレー回路など）を搭載する。この回路基板 2 1 2 は、D U T 1 0 の品種毎に用意される。回路基板 2 1 3 には、C P U 部 3 3 が配置される。回路基板 2 1 4 には、B O S T 通信 I / F 部 3 0 が配置される。回路基板 2 1 5 には、B O S T 制御部 4 0、T M P 部 5 0、P G 部 6 0、出力判定部 8 5、エラー情報メモリ部 9 0、D U T ・ B O S T I / F 部 9 5 が配置される。

【 0 1 0 6 】

この実施の形態 1 - 6 では、D U T 1 0 に必要な B O S T 機能に応じて、回路基板 2 1 1、2 1 2、2 1 3、2 1 4、2 1 5 を選択し、組み合わせることができ、機能拡張が容易になり、また B O S T 装置 2 0 の変更におけるフレキシビリティが向上する。また不要なハードウェアを組み合わせる必要がなく、B O S T 装置 2 0 のスリム化、低価格化を図ることが可能となる。

例えば、回路基板 2 1 1、2 1 3、2 1 4 を標準基板（常時必要な基板）とし、回路基板 2 1 2、2 1 5 を D U T 1 0 の種類に応じて交換、変更するなど、標準基板のリサイクル性を向上させ、低価格化を図る。またこの実施の形態 1 - 6 では、必要な基板のみを組み合わせることができることから、低価格化、スリム化が可能となる。

【 0 1 0 7 】

実施の形態 1 - 7.

実施の形態 1 - 7 は、この発明による半導体集積回路の試験装置に関する実施の形態であり、この実施の形態 1 - 7 は、実施の形態 1 - 6 による B O S T 組立 2 1 0 A をより具体化した B O S T 組立 2 1 0 B を有する。図 1 1 は、この実施の形態 1 - 7 による B O S T 組立 2 1 0 B の展開図を示し、図 1 1 (a) は、この B O S T 組立 2 1 0 B の基板構成の正面図であり、図 1 1 (b) はその回路基板 2 1 3、2 1 4、2 1 5 の側面図、図 1 1 (c) はアングルコネクタの構成図である。図 1 2 は、B O S T 組立 2 1 0 B の具体的な構成を示す側面図である。

【 0 1 0 8 】

まず、回路基板 2 1 3、2 1 4、2 1 5 は、図 1 1 (a) に示すように、少し縦長の長方形の基板であり、それぞれの上端部には回路基板 2 1 3、2 1 4、2 1 5 をその厚さの方向に互いに接続するためのストレートタイプのコネクタ CN 2、CN 3 が表裏に配置される。また回路基板 2 1 3、2 1 4、2 1 5 のそれぞれの下端部には、各回路基板 2 1 3、2 1 4、2 1 5 を、回路基板 2 1 2 の上主面の接続するためのアングルタイプのコネクタ CN 1 が配置されている。このアングルタイプのコネクタ CN 1 は、図 1 1 (c) に示すように、信号ピン 2 1 6 が途中で直角に折曲がり、各回路基板 2 1 3、2 1 4、2 1 5 の主面と平行になったプラグインコネクタである。ストレートタイプのコネクタ CN 2、CN 3 は信号ピンが回路基板 2 1 3、2 1 4、2 1 5 の主面と垂直に延びるコネクタである。

【0 1 0 9】

回路基板 2 1 2 の上主面には、各回路基板 2 1 3、2 1 4、2 1 5 の下端部に配置されたアングルタイプのコネクタ CN 1 が、垂直に挿入されるストレートタイプのコネクタ CN 4、CN 5、CN 6 が配置される。回路基板 2 1 2 の下主面には、回路基板 2 1 1 との接続のためのストレートタイプのコネクタ CN 7、CN 8、CN 9 が配置されている。回路基板 2 1 1 の上主面には、回路基板 2 1 2 と接続するためのストレートタイプのコネクタ CN 1 0、CN 1 1、CN 1 2 が配置される。回路基板 2 1 1 と DUT 基板 1 1 0 との接続には、(a) ケーブルによる固定配線接続、(b) コネクタによる相互接続、および (c) コネクタを介したケーブル接続の中の何れかが用いられる。(a) は着脱不能であるが、(b) (c) は着脱可能である。

【0 1 1 0】

図 1 2 の具体的な BOST 組立 2 1 0 B は、回路基板 2 1 1、2 1 2、2 1 3、2 1 4、2 1 5 を組み合わせたものである。回路基板 2 1 3、2 1 4、2 1 5 は、それぞれの上端部のコネクタ CN 2、CN 3 を互いに嵌め合った状態で組み合わせられ、それぞれの下端部のコネクタ CN 1 を、回路基板 2 1 2 のコネクタ CN 4、CN 5、CN 6 に嵌め込んで組立てられる。回路基板 2 1 3、2 1 4、2 1 5 の間には、スペーサ 2 1 7 が配置される。回路基板 2 1 2 は、その下主面の

コネクタCN7、CN8、CN9を、回路基板211のコネクタCN10、CN11、CN12に嵌め込んで組立てられる。回路基板211、212の間には、支柱またはスペーサ218が配置される。回路基板211は、DUTボード110の上に、スペーサ219を介して設置され、図12の例では、固定配線接続220によって、DUTボード110に機械的に固定され、また電氣的にも接続される。

【0111】

このようにBOST装置20を、必要なBOST機能に応じて、モジュール化し、5枚の回路基板211、212、213、214、215に分割構成とすることにより、BOST組立210Bの小型化が図られる。併せて、BOST装置20のモジュール化により、BOST装置20の機能拡張、および構成変更に対するフレキシビリティが向上する。例えば、回路基板211、213、214を標準基盤とし、回路基板212、215をDUT10の種類に応じて交換、変更するなどして、標準基板のリサイクル性を向上させ、低価格化を図ることができる。

【0112】

実施の形態1-8.

実施の形態1-8は、この発明による半導体集積回路の試験装置の実施の形態であり、実施の形態1-7によるBOST組立210Bをさらに簡略化した別のBOST組立210Cを備えている。図13はこの実施の形態1-8におけるBOST組立210Cを示す展開図であり、図13(a)はこのBOST組立210Cの回路基板212、213、214、215の正面図、図13(b)は回路基板213、214、215の側面図、図13(c)はアングルタイプのコネクタの構成図である。図14は、このBOST組立210Cの具体的な構成図である。

【0113】

このBOST組立210Cは、実施の形態1-7によるBOST組立210Bに比較して、回路基板211を省略し、4枚の回路基板212、213、214、215で構成される。その他の構成は、実施の形態1-7のBOST組立210Bと同様である。

0 Bと同じであり、同じ部分を同じ符号で示し、説明を省略する。この実施の形態 1-8 の B O S T 組立 2 1 0 C では、回路基板 2 1 2 が、回路基板 2 1 3、2 1 3、2 1 5 の間の相互接続機能を持ち、併せて B O S T 装置 2 0 と D U T ボード 1 1 0 とテスト 1 8 との相互接続機能をも持つ。実施の形態 1-6、1-7 において、回路基板 2 1 1 に搭載されていた電源部 9 9 は、D U T ボード 1 1 0 または回路基板 2 1 3 に搭載される。回路基板 2 1 2 の下主面のコネクタ C N 7、C N 8、C N 9 は、D U T ボード 1 1 0 の上主面に設けられたコネクタ C N 1 0、C N 1 1、C N 1 2 にプラグイン形態で嵌め込まれる。

【 0 1 1 4 】

実施の形態 1-8 による B O S T 組立 2 1 0 C では、回路基板数が 4 枚となり、実施の形態 1-6、1-7 に比べて、より少ない回路基板数で、より小型の B O S T 組立 2 1 0 C が得られる。

【 0 1 1 5 】

実施の形態 1-9.

実施の形態 1-9 は、この発明による半導体集積回路の試験装置の実施の形態であり、実施の形態 1-8 の B O S T 組立 2 1 0 C に比べて、さらに簡略化した B O S T 組立 2 1 0 D を有する。この B O S T 組立 2 1 0 D は 3 枚の回路基板 2 1 3、2 1 4、2 1 5 で構成される。図 1 5 はこの実施の形態 1-9 による B O S T 組立 2 1 0 D を示す展開図であり、図 1 5 (a) はこの B O S T 組立 2 1 0 D の回路基板 2 1 3、2 1 4、2 1 5 の正面図、図 1 5 (b) は回路基板 2 1 3、2 1 4、2 1 5 の側面図、図 1 5 (c) はアングルタイプのコネクタの構成図である。図 1 6 は、この B O S T 組立 2 1 0 D の具体的な構成図である。

【 0 1 1 6 】

この B O S T 組立 2 1 0 D は、実施の形態 1-8 による B O S T 組立 2 1 0 C の回路基板 2 1 2 を省略した 3 枚の回路基板 2 1 3、2 1 4、2 1 5 で構成される。その他の構成は図 1 3、図 1 4 に示す B O S T 組立 2 1 0 C と同じであり、この B O S T 組立 2 1 0 C と同じ部分は同じ符号で示し、説明を省略する。この実施の形態 1-9 による B O S T 組立 2 1 0 D は、D U T ボード 1 1 0 が、回路基板 2 1 3、2 1 4、2 1 5 の相互接続機能を持ち、併せて B O S T 装置 2 0 と

テスト 1 8 との相互接続機能をも持つ。なお、B O S T 装置 2 0 の電源部 9 9 は、D U T ボード 1 1 0 または回路基板 2 1 3 に搭載される。またリレー回路も D U T ボード 1 1 0 または回路基板 2 1 3 に搭載される。3 枚の回路基板 2 1 3、2 1 4、2 1 5 の下端部のコネクタ C N 1 は、D U T ボード 1 0 0 の上主面に設けられたコネクタ C N 1 0、C N 1 1、C N 1 2 にプラグイン形態で、回路基板 2 1 3、2 1 4、2 1 5 の主面と平行な方向に、嵌め込まれる。

【 0 1 1 7 】

この実施の形態 1 - 9 による B O S T 組立 2 1 0 D では、回路基板数がさらに 1 枚減少して 3 枚となり、実施の形態 1 - 8 の B O S T 組立 2 1 0 C に比べて、より小型の B O S T 組立 2 1 0 D が得られる。

【 0 1 1 8 】

実施の形態 1 - 1 0、

この実施の形態 1 - 1 0 は、この発明による半導体集積回路の試験装置の実施の形態であり、また別の B O S T 組立 2 1 0 E を有する。実施の形態 1 - 7、1 - 8、1 - 9 による B O S T 組立 2 1 0 B、2 1 0 C、2 1 0 D では、回路基板 2 1 3、2 1 4、2 1 5 が D U T ボード 1 1 0 に対して垂直に配置されたが、この実施の形態 1 - 1 0 は、これらの回路基板 2 1 3、2 1 4、2 1 5 が D U T ボードと平行に配置された B O S T 組立 2 1 0 E を有する。図 1 7 (a) はこの B O S T 組立 2 1 0 E の側面図、図 1 7 (b) は B O S T 組立 2 1 0 E の正面図、図 1 7 (c) はストレートタイプのコネクタの構成図である。

【 0 1 1 9 】

この実施の形態 1 - 1 0 では、長方形の回路基板 2 1 1、2 1 2 が用いられ、これらの回路基板 2 1 1、2 1 2 は D U T ボード 1 1 0 と平行に配置される。回路基板 2 1 1 は D U T ボード 1 1 0 の直ぐ上に配置され、固定配線接続 2 2 0 によって D U T ボード 1 1 0 に機械的に固定され、また電氣的にも接続される。回路基板 2 1 2 は、回路基板 2 1 1 の上に、支柱またはスペーサ 2 1 8 を介して配置される。3 枚の長方形の回路基板 2 1 3、2 1 4、2 1 5 は、回路基板 2 1 2 と平行な共通の平面上に、互いに並べて配置される。回路基板 2 1 1、2 1 2、2 1 3、2 1 4、2 1 5 に搭載される B O S T 装置 2 0 の各回路部分 (1) - (1 2)

の割り振りは、実施の形態 1 - 6 で説明したのと同じとされる。

【0120】

各回路基板 213、214、215 のそれぞれの右端部の下面には、コネクタ CN1 が配置される。回路基板 213、214、215 のそれぞれの左端部の下面には、コネクタ CN2 が配置され、またそれぞれの左端部の上面にはコネクタ CN3 が配置される。回路基板 212 の上面には 3 つのコネクタ CN4 と、3 つのコネクタ CN5 とが配置され、この各コネクタ CN4、CN5 には、回路基板 213、214、215 のコネクタ CN1 とコネクタ CN2 が嵌め込まれる。回路基板 212 の下主面には、コネクタ CN6、CN7 が配置され、これらのコネクタ CN6、CN7 は、回路基板 211 の上主面の設けられたコネクタ CN8、CN9 に嵌め込まれる。この実施の形態 1 - 10 で使用されるすべてのコネクタは、図 17 (c) に示すストレートタイプのコネクタであり、回路基板の主表面と垂直な信号ピン 221 を有する。

【0121】

実施の形態 1 - 10 による BOST 組立 210E は、回路基板 213、214、215 を、DUT ボード 110 と平行な共通の平面上に並べて配置したもので、BOST 組立 210E の垂直方向の寸法を縮小できる。

【0122】

実施の形態 1 - 11.

実施の形態 1 - 11 はこの発明による半導体集積回路の試験装置の実施の形態であり、実施の形態 10 による BOST 組立 210E をさらに簡略化した BOST 組立 210F を有する。図 18 は、この BOST 組立 210F の側面図である。この BOST 組立 210F は、実施の形態 1 - 10 による BOST 組立 210E における回路基板 211 を省略したもので、その他の構成は実施の形態 1 - 10 による BOST 組立 210E と同じであり、同じ部分を同じ符号で示して、説明を省略する。回路基板 211 を省略した点は、実施の形態 1 - 8 による BOST 組立 210C と同じであり、搭載される回路部品(1)-(12)の割り振りも実施の形態 1 - 8 と同じにされる。回路基板 212 のコネクタ CN6、CN7 は、DUT ボード 110 に設けられたコネクタ CN8、CN9 に嵌め込まれる。

この実施の形態 1-11 によれば、実施の形態 1-10 による BOST 組立 210E に比べて回路基板数を減少することができ、より簡略化した BOST 組立 210F を得ることができる。

【0123】

実施の形態 1-12.

実施の形態 1-12 は、この発明による半導体集積回路の試験装置の実施の形態であり、実施の形態 1-11 による BOST 組立 210F をさらに簡略化した BOST 組立 210G を有する。図 19 は、この BOST 組立 210G の側面図である。この BOST 組立 210G は、実施の形態 1-11 による BOST 組立 210F における回路基板 212 を省略したもので、その他の構成は実施の形態 1-11 による BOST 組立 210F と同じであり、同じ部分を同じ符号で示して、説明を省略する。回路基板 211、212 を省略した点は、実施の形態 1-9 の BOST 組立 210D と同じであり、搭載される回路部品(1)-(12)の振り分けも実施の形態 1-9 と同じにされる。回路基板 213、214、215 のコネクタ CN1、CN2 は、DUT ボード 110 に設けられたコネクタ CN8、CN9 に嵌め込まれる。

この実施の形態 1-12 によれば、実施の形態 1-11 による BOST 組立 210G に比べて回路基板数を減少することができ、より簡略化した BOST 組立 210G を得ることができる。

【0124】

実施の形態 1-13.

この実施の形態 1-13 は、この発明による半導体集積回路の試験装置の実施の形態であり、さらに別の BOST 組立 210H を有する。この BOST 組立 210H は、回路基板 213、214、215 を DUT ボード 110 と平行に、しかも回路基板 213、214、215 を互いに間隔をおいて積層したものである。図 20 (a) は、この BOST 組立 210H の側面図、図 20 (b) はその正面図であり、図 20 (c) はストレートタイプのコネクタの構成図であり、回路基板の主表面と垂直な信号ピン 221 を有する。

【0125】

このBOST組立210Hでは、長方形の回路基板211、212が使用され、これらの回路基板211、212はDUTボード110の上部に、互いに間隔をおいて配置される。回路基板211はDUTボード110のすぐ上に配置され、固定配線接続220によってDUTボード110に機械的に支持され、併せて電氣的にも接続される。回路基板212は、回路基板211の上に支柱またはスペーサ218を介して配置される。回路基板213、214、215は、回路基板212の上部に、互いに平行に、間隔をおいて積層される。回路基板212のすぐ上には、回路基板213が配置され、この回路基板213の上には回路基板214が、また回路基板214の上には、回路基板215が配置される。これらの回路基板211、212、213、214、215に搭載されるBOST装置20の各回路部分(1)-(12)の割り振りは、実施の形態1-6について説明したのと同じとされる。ただ、回路基板213、214、215の間の相互接続機能は、それらの間に配置されるコネクタに持たされるので、回路基板212からはこれらの回路基板213、214、215の相互接続機能は省略される。

【0126】

回路基板213、214、215の右端部の下面には、それぞれコネクタCN1が配置され、その上面にはそれぞれコネクタCN4が配置される。これらの回路基板213、214、215の左端部の下面には、コネクタCN2がそれぞれ配置され、その上面にはコネクタCN3がそれぞれ配置される。回路基板215のコネクタCN1、CN2は、回路基板214のコネクタCN4、CN3にそれぞれ嵌め込まれ、回路基板214のコネクタCN1、CN2は、回路基板213のコネクタCN4、CN3にそれぞれ嵌め込まれる。回路基板213のコネクタCN1、CN2は、回路基板212のコネクタCN1、CN2にそれぞれ嵌め込まれ、回路基板212のコネクタCN3、CN4は、回路基板211のコネクタCN1、CN2に嵌め込まれる。これらのコネクタはすべて図20(c)に示すストレートタイプのコネクタである。

【0127】

この実施の形態1-13によるBOST組立210Hは、回路基板213、214、215がDUTボード110と平行に、間隔をおいて積層されるので、B

OST組立210Hの縦方向寸法を縮小することができる。

【0128】

実施の形態1-14.

この実施の形態1-14は、この発明による半導体集積回路の試験装置の実施の形態であり、実施の形態1-13によるBOST組立210Hを簡略化したBOST組立210Iを有する。図21はこの実施の形態1-14によるBOST組立210Iの側面図である。

このBOST組立210Iは、実施の形態1-13によるBOST組立210Hにおける回路基板211を省略して、簡略化したものであり、その他の構成は実施の形態1-13によるBOST組立210Hと同じであり、同じ部分を同じ符号で示して、説明を省略する。回路基板211を省略した点は、図13、図14に示す実施の形態1-8のBOST組立210Cと同じであり、搭載される回路部品(1)-(12)の割り振りも実施の形態1-8と同じにされる。

この実施の形態1-14によれば、実施の形態1-13によるBOST組立210Hに比べて回路基板数を減少することができ、より簡略化したBOST組立210Iを得ることができる。

【0129】

実施の形態1-15.

この実施の形態1-15は、この発明による半導体集積回路の試験装置の実施の形態であり、実施の形態1-14によるBOST組立210Iをさらに簡略化したBOST組立210Jを有する。図22は、このBOST組立210Jの側面図である。このBOST組立210Jは、実施の形態1-14によるBOST組立210Iにおける回路基板212を省略したもので、その他の構成は実施の形態1-14によるBOST組立210Iと同じであり、同じ部分を同じ符号で示して、説明を省略する。回路基板211、212を省略した点は、図15、図16に示す実施の形態1-9のBOST組立210Dと同じであり、搭載される回路部品(1)-(12)の割り振りも実施の形態1-9と同じにされる。

この実施の形態1-15によれば、実施の形態1-14によるBOST組立210Iに比べて回路基板数を減少することができ、より簡略化したBOST組立

2 1 0 J を得ることができる。

【 0 1 3 0 】

実施の形態 1 - 1 6 .

この実施の形態 1 - 1 6 は、この発明による半導体集積回路の試験装置の実施の形態であり、B O S T 組立 2 1 0 に、プロービング装置（プローバ）1 2 5 と、テストヘッド 1 2 0 A を組み合わせたテストヘッド装置 1 2 E を有する。このテストヘッド装置 1 2 E は、D U T 1 0 が L S I チップまたは半導体ウエハに含まれている場合に用いられる。このテストヘッド装置 1 2 E は、半導体集積回路の製造工程の中の前工程、すなわち半導体ウエハを取り扱う工程において、半導体集積回路を試験するのに用いられる。

【 0 1 3 1 】

図 2 3 は、テストヘッド装置 1 2 E の 1 つの実例を示す側面図であり、図 2 4 はテスト 1 8 をも含むその正面図である。

プロービング装置（プローバ）1 2 5 は、上面に D U T ボード 1 1 0 を有する。この D U T ボード 1 1 0 は、プローブカードを構成しており、その中央部の下面には、多数のプローブ針 1 1 5 が設置されている。このプローブ針 1 1 5 は、D U T 1 0 を含む L S I チップまたは半導体ウエハに接触し、D U T 1 0 の所定部分にテスト入力パターン信号 T I P を供給し、また D U T 1 0 からのテスト出力パターン信号 T O P を取り出す。

テストヘッド 1 2 0 A はテスト 1 8 にケーブル 1 2 6 を介して接続されており、テスト 1 8 が直接 D U T 1 0 を試験する場合にはテスト 1 8 からの電源電圧、クロック信号、制御信号、および試験信号を D U T ボード 1 1 0 を経由して、D U T 1 0 に供給し、また B O S T 装置 2 0 によって D U T 1 0 の試験を行なう場合には、テスト 1 8 からの電源電圧、テストコード T C D、テストスタート信号 T S T、テストパターンデータ T P D などを D U T ボード 1 1 0 を経由して B O S T 装置 2 0 に供給する。また B O S T 装置 2 0 からのエラーコード W C D は、B O S T 装置 2 0 から D U T ボード 1 1 0、テストヘッド 1 2 0 A を経由してテスト 1 8 に供給される。

【 0 1 3 2 】

プロービング装置 1 2 5 の上部外周には、環状のポゴリング 1 2 7 が配置され、このポゴリング 1 2 7 の上には、環状のアタッチメントボード 1 2 8 が配置され、このアタッチメントボード 1 2 8 の上に、テストヘッド 1 2 0 A が配置される。テストヘッド 1 2 0 A からの電圧、信号は、アタッチメントボード 1 2 8、ポゴリング 1 2 7 を経由して DUT ボード 1 1 0 に供給され、この DUT ボード 1 1 0 から DUT 1 0 または BOST 装置 2 0 に供給される。

テストヘッド装置 1 2 E では、四角柱型のテストヘッド 1 2 0 A が使用される。このテストヘッド 1 2 0 A の中心部には、テストヘッド 1 2 0 A を上下方向に貫通する円形のスコープ穴 1 3 0 が形成されている。このスコープ穴 1 3 0 は、試験部分を観察するための穴であり、例えば 1 2 0 mm から 1 3 0 mm の内径を有する。

【 0 1 3 3 】

この実施の形態 1 - 1 6 によるテストヘッド装置 1 2 E では、BOST 組立 2 1 0 として、実施の形態 1 - 6 から実施の形態 1 - 1 5 に示したすべての BOST 組立 2 1 0 A から BOST 組立 2 1 0 J を用いることができる。この図 2 3、2 4 に示すテストヘッド装置 1 2 E の例では、実施の形態 1 - 7 に示した BOST 組立 2 1 0 B が使用されている。

BOST 装置 2 0 の BOST 組立 2 1 0 B は、DUT ボード 1 1 0 の上に配置される。BOST 組立 2 1 0 B の回路基板 2 1 1、2 1 2 は、環状のポゴリング 1 2 7 の内周に形成される空間に配置され、回路基板 2 1 3、2 1 4、2 1 5 は回路基板 2 1 2 から垂直に延び、アタッチメントボード 1 2 8 の内周の内部空間を経て、テストヘッド 1 2 0 A のスコープ穴 1 3 0 内に延びている。このように、実施の形態 1 - 1 6 によるテストヘッド装置 1 2 E では、BOST 装置 2 0 を構成する BOST 組立 2 1 0 B は、テストヘッド装置 1 2 E に残された空間、具体的には、ポゴリング 1 2 7、アタッチメントボード 1 2 8、およびテストヘッド 1 2 0 A のスコープ穴 1 3 0 の内部空間を利用して配置されている。

【 0 1 3 4 】

この実施の形態 1 - 1 6 によるテストヘッド装置 1 2 E では、BOST 装置 2 0 が、テストヘッド 1 2 0 A のスコープ穴 1 3 0 を利用して、このスコープ穴 1

30に配置されるので、テストヘッド装置12Eを小型に構成できる。

【0135】

実施の形態1-17.

この実施の形態1-17は、この発明による半導体集積回路の試験装置の実施の形態であり、モールド型半導体集積回路がDUT10とされる場合に用いられるテストヘッド装置12Fを有する。このモールド型半導体集積回路は、半導体集積回路チップをモールド樹脂で被覆したもので、このモールド型半導体集積回路に対するテストは、半導体集積回路の製造工程では、半導体集積回路チップのアセンブリを行なう後工程において、実施される。図25はこのテストヘッド装置12Fを示す側面図である。

【0136】

この実施の形態1-17によるテストヘッド装置12Fでは、実施の形態1-16によるテストヘッド装置12Eにおけるテストヘッド120Aが、上下を逆にして配置される。このテストヘッド120Aは、LSI搬送装置（ハンドラ）133の下部に配置される。

ハンドラ133の下面には、DUTボード110が配置され、このDUTボード110の上面の中央部には、DUTソケット111が配置される。ハンドラ133によって搬送されたモールド型半導体集積回路がDUT10として、DUTソケット111に挿入される。テストヘッド120Aは、このDUTボード110の下部の外周部に配置される。

【0137】

この実施の形態1-17によるテストヘッド装置12Fでも、BOST組立20として、実施の形態1-6から実施の形態1-15に示したすべてのBOST組立210AからBOST組立210Jを用いることができる。図25に示すテストヘッド装置12Fの例では、実施の形態1-7に示したBOST組立210Bが使用されている。

この実施の形態1-17では、BOST組立210Bも、図23の場合と上下を逆にして、組み合わされる。このBOST組立210Bは、DUTボード110の下部の中央部に、DUTボード110から垂下する形態で、DUTボード1

10に取り付けられる。BOST組立210Bでは、回路基板211がDUTボード110のすぐ下に、DUTボード110と平行に配置され、固定接続構体220によってDUTボード110に取り付けられる。回路基板212は回路基板211の下に、回路基板210と平行に配置され、回路基板213、214、215は、回路基板212の下面に、回路基板212から垂下する形態で配置される。これらの回路基板213、214、215は互いに平行に配置され、テストヘッド120Aのスコープ穴130内の空間に延長される。

【0138】

この実施の形態1-17によるテストヘッド装置12Fでも、BOST装置20が、テストヘッド120Aのスコープ穴130を利用して、このスコープ穴130に配置されるので、テストヘッド装置12Fを小型に構成できる。

【0139】

さて、続いて実施の形態1のテスト機能の拡張に関するこの発明による半導体集積回路の試験装置の実施の形態2-1から実施の形態2-8について説明する。これらの実施の形態2-1から2-8は、基本的に、実施の形態1の機能を持った上に、さらにこれから説明する機能と構成を付加したものである。これらの実施の形態2-1から2-8も、この発明による半導体集積回路の製造方法に含まれる試験工程において使用される。

実施の形態2-1.

この実施の形態2-1は、テストパターン信号TPSについてそのテストベクタのインストラクション制御を可能にしたこの発明による半導体集積回路の試験装置の実施の形態である。この実施の形態2-1のハードウェア構成を図26に示し、それによるテスト動作を図27から図30のタイミングチャートで示す。

【0140】

まずこの実施の形態2-1のハードウェア構成について、図26を参照して説明する。図26(a)は、この実施の形態2-1によるBOST制御部40の構成を示し、図26(b)はこの実施の形態2-1に対応したPG部60のメモリ構成を示し、図26(c)は図26(a)に示されたパルス生成回路417の詳細を示す。

この実施の形態 2-1 では、図 1 に示す B O S T 装置 2 0 の P G 部 6 0 が図 2 6 (b) に示すメモリ構成を有する。この P G 部 6 0 は、テストベクタアドレス制御コード T B A C を記憶する記憶区域 6 1 4 と、テストベクタアドレス制御データ T B A D を記憶する記憶区域 6 1 3 を有し、このテストベクタアドレス制御コード T B A C とテストベクタアドレス制御データ T B A D に対応して、テスト入力・判定パターン信号 J P S が記憶区域 6 1 2 に、またテストパターン信号 T P S が記憶区域 6 1 1 に記憶される。なお、ここでテストベクタは、テストパターン信号 T P S について連続する所定数のビットを含むグループを意味する。これらの制御コード T B A C、制御データ T B A D、テスト入力パターン信号 J P S、テストパターン信号 T P S は、P G 部 6 0 にダウンロードされたテストパターンデータ T P D に含まれ、テストベクタアドレス N 、 $N+1$ 、 $N+2$ 、 $N+3$ 、 \dots 、 $N+M$ に沿って記憶されている。

【 0 1 4 1 】

この実施の形態 2-1 において、テストベクタアドレス制御コード T B A C は、通常モード N O P のコード N O P、サブルーチンジャンプ S J P のコード S J P、サブルーチンリターン R E T のコード R E T、無条件ジャンプ J M P のコード J M P、リピート R E P のコード R E P の 5 つのコードを含む。

コード N O P は、通常モードを指定するコードであり、この通常モード N O P では、図 3 (a) のメモリアドレス信号 M A D に示すように、テストベクタアドレスの前回アドレス値に順次 + 1 を加算する。コード S J P はサブルーチンジャンプを指定するコードであり、このコード S J P に対応してテストベクタアドレス制御データ T B A D に記憶された記述アドレスへのジャンプを指示する。コード R E T はサブルーチンリターンを指定するコードであり、このコード R E T に対応してテストベクタアドレス制御データ T B A D に記述された記述アドレスに + 1 を加算したアドレスへのリターンを指示する。コード J M P は無条件ジャンプを指定するコードであり、このコード J M P に対応してテストベクタアドレス制御データ T B A D に記述された記述アドレスへのジャンプを指示する。コード R E P は、同一ベクタリピートを指定するコードであり、このコード R E P に対応してテストベクタアドレス制御データ T B A D に記述された記述回数に + 1 を

加算した回数だけ、同一テストベクタアドレスへのリピートを実行する指示を行なう。

テストベクタアドレス制御データ T B A D は、テストベクタアドレス制御コード T B A C のそれぞれに対応して、前記記述アドレス、記述回数を記憶する。

【 0 1 4 2 】

実施の形態 2 - 1 では、図 1 に示す実施の形態 1 の B O S T 制御部 4 0 が、図 2 6 (a) に示すように、プログラムカウンタ 4 1 0 を有する。このプログラムカウンタ 4 1 0 は、インストラクション制御セクタ 4 1 1 と、フリップフロップ 4 1 2 と、初期値レジスタ回路 4 1 3 と、加算器 4 1 4 と、サブルーチンリターンアドレスラッチ回路 4 1 5 と、リピート回数ダウンカウンタ 4 1 6 と、パルス生成回路 4 1 7、4 1 8 と、AND 回路 4 1 9、4 2 0、4 2 1 を有する。

【 0 1 4 3 】

インストラクション制御セクタ 4 1 1 は、入力端子 A 0 から A 6 と、出力端子 F と、制御入力 S 0 - S 2 を受ける制御端子を有する。このインストラクション制御セクタ 4 1 1 は、その出力端子 F に接続されたフリップフロップ 4 1 2 の出力端子 Q に、P G 部 6 0 へのテストベクタアドレス T B A を発生させる。このテストベクタアドレス T B A は、図 2 7 から図 3 0 の各図の図 (i) に示される。初期値レジスタ 4 1 3 は B O S T 制御部 4 0 の内部バス 4 0 B に接続された入力 D とクロック入力 C と、インストラクション制御セクタ 4 1 1 の入力端子 A 0 に接続された出力 Q を有し、インストラクション制御セクタ 4 1 1 の入力端子 A 0 に、初期値レジスタ出力 I N R を与える。この初期値レジスタ出力 I N R は、図 2 7 - 3 0 の図 (a) に示される。

【 0 1 4 4 】

加算器 4 1 4 はフリップフロップ 4 1 2 の出力 Q に接続された入力端子 I N と、インストラクション制御セクタ 4 1 1 の入力端子 A 1 に接続された出力端子 O U T を有し、この出力端子 O U T には、加算器出力 $A D O = I N + 1$ を発生する。この加算器出力 A D O は、図 2 7 から図 3 0 の各図の図 (b) に示される。インストラクション制御セクタ 4 1 1 の入力端子 A 2、A 4 には、P G 部 6 0 からテストベクタアドレス制御データ T B A D からジャンプ先アドレスデータ J

A D が与えられる。このジャンプ先アドレスデータ J A D は、図 2 8、2 9 の図 (c) に示される。サブルーチンアドレスラッチ回路 4 1 5 は、加算器 4 1 4 の出力端子 O U T に接続された入力 D と、クロック入力 C と、インストラクション制御セクタ 4 1 1 の入力端子 A 3 に接続された出力 Q を有し、この出力 Q に戻り先アドレス信号 R A S を発生する。この戻り先アドレス信号 R A S は図 2 8 (d) に示される。インストラクション制御セクタ 4 1 1 の入力端子 A 5、A 6 は接地される。

【 0 1 4 5 】

リピート回数ダウンカウンタ 4 1 6 は、P G 部 6 0 の記憶区域 6 1 3 に記憶されたテストベクタアドレス制御データ T B A D に含まれるリピート回数設定値 + 1 のリピートデータ R P D を受ける入力 D と、L O A D 入力と、クロック入力 C と、出力 B 0 とを有する。リピートデータ R P D は図 3 0 (c) に示される。リピート回数ダウンカウンタ 4 1 6 の L O A D 入力は、パルス生成回路 4 1 7 の端子 4 に接続され、リピート回数設定トリガ信号 R C T を受ける。このリピート回数設定トリガ信号 R C T は、図 3 0 (e) に示される。リピート回数ダウンカウンタ 4 1 6 のクロック入力 C には、B O S T 装置 2 0 の T G 部 7 0 から、テスト周期信号 T C Y が与えられる。このテスト周期信号 T C Y は図 2 7 から図 3 0 の図 (h) に示される。リピート回数ダウンカウンタ 4 1 6 の出力 B 0 には、ダウンカウンタボロー信号 D C B が発生する。このダウンカウンタボロー信号 D C B は図 3 0 (k) に示される。このダウンカウンタボロー信号 D C B は、リセット時に高レベル H、L O A D 時に低レベル L となる。

【 0 1 4 6 】

パルス生成回路 4 1 7 は 4 つの端子 1、2、3、4 を有する。端子 1、2、3 は入力端子であり、端子 1 には P G 部 6 0 のテストベクタアドレス制御コード T B A C が与えられる。このテストベクタアドレス制御コード T B A C は図 2 7 から図 3 0 の図 (j) に示される。端子 2 には、リピート回数ダウンカウンタ 4 1 6 の出力 B 0 からダウンカウンタボロー信号 D C B が与えられる。端子 3 には、T G 部 7 0 からのテスト周期信号 T C Y が与えられる。パルス生成回路 4 1 7 は、端子 1 に与えられる制御入力 S 0 - S 2 と、端子 2 に与えられるダウンカウン

タボロー信号DCBと、端子3に与えられるテスト周期信号TCYとに基づいて、制御入力S0-S2=5のときに、リピート回数設定トリガ信号RCTを発生し、リピート回数ダウンカウンタ416のLOAD端子に供給する。

【0147】

パルス生成回路417は、図26(c)に示すように、デコーダ423と、フリップフロップ424と、AND回路425を有する。デコーダ423は端子1への制御入力S0-S2をデコードして、フリップフロップ424のクロック入力Cへ供給する。AND回路425は、端子2へのダウンカウンタボロー信号DCBと、端子3へのテスト周期信号TCYとのAND出力をフリップフロップ424のリセット入力Rへ供給する。フリップフロップ424は、出力Qが端子4に接続されており、端子4へリピート回数設定トリガ信号RCTを供給する。

【0148】

パルス生成回路418は、制御入力S0-S2を受ける端子1と、TG部70へのTG部信号発生ストップ信号TGSを発生する出力端子2を有し、制御入力S0-S2をデコードして、S0-S2=6のときに、TG部信号発生ストップ信号TGSを発生し、TG部70によるテスト周期信号TCYの発生を停止させる。TG部70には、測定スタート信号MST（図27から図30の図(g)に示す）が供給され、この測定スタート信号MSTに基づいて、テスト周期信号TCYを発生する。

【0149】

AND回路419は、一方の入力に、制御入力S0-S2を受け、また他方の入力（反転入力）に、初期設定時に高レベルH、初期設定以外の通常時に低レベルとなるモード信号MDSを受ける。このAND回路419は制御入力S0、S1、S2のそれぞれに対応して合計3個が設けられ、それらの出力が、インストラクション制御セレクタ411の制御入力S0-S2となる。AND回路420は、一方の入力に、リピート回数ダウンカウンタ416の出力B0に発生するダウンカウンタボロー信号DCBを受け、他方の入力に、テスト周期信号TCYを受ける。このAND回路420の出力は、OR回路421の一方の入力へ供給される。OR回路421の他方の入力には、図27から図30の図(f)に示され

るテストベクタアドレス初期設定トリガ信号TBAITが供給される。OR回路421の出力には、図30(m)に示すテストベクタアドレス最終ラッチトリガ信号TBAFRが生成され、これはフリップフロップ412のクロック入力Cに供給される。

【0150】

インストラクション制御セクタ411の選択動作をまとめて説明する。制御入力 $S0-S2=0$ のときには、入力端子A0への入力を選択される。この制御入力 $S0-S2=0$ のときには、出力Fは初期値レジスタ出力INR(図27から図30の図(a)に示す)となる。制御入力 $S0-S2=1$ のときには、入力端子A1への入力を選択される。このときには、出力Fは加算器出力ADO(図27から図30の図(b)に示す)となり、BOST装置20はコードNOPで指示された通常モードで動作を行ない、アドレス値を+1しながら、通常モードNOPで動作する。制御入力 $S0-S2=2$ のときには、入力端子A2が選択され、出力Fはジャンプ先アドレスJADとなる。このときBOST装置20はサブルーチンジャンプSRJの動作を行ない、テストベクタアドレス制御データTBADに含まれる記述アドレス、すなわちジャンプ先アドレスデータJADに対応したテストベクタアドレスにジャンプする動作を行なう。

【0151】

制御入力 $S0-S2=3$ のときには、入力端子A3への入力、すなわち戻り先アドレス信号RASが選択され、出力Fから出力される。このとき、BOST装置20はサブルーチンリターンSRRの動作を行ない、戻り先アドレス信号RASに対応するテストベクタアドレスへリターンする動作を行なう。制御入力 $S0-S2=4$ のときには、出力Fは、入力端子A4への入力信号、すなわちジャンプ先アドレスデータJADとなり、BOST装置20は無条件ジャンプNCJ動作を行ない、ジャンプ先アドレスデータJADに対応したテストベクタアドレスTBAにジャンプする。制御入力 $S0-S2=5$ のときには、出力Fは入力端子A5、すなわち接地信号となり、BOST装置20は同一ベクタリピート動作SBR動作を行ない、リピート回数ダウンカウンタ416の出力に基づいて、そのカウント値が0となるまで、前のテストベクタアドレスへ戻る動作を繰り返す。

【0152】

図27は、実施の形態2-1によって、テストベクタアドレスTBAを通常モードで進めるコードNOPでBOST装置20を動作させる場合における各信号、データのタイミングチャートである。図(j)に示すテストベクタアドレス制御コードTBACは、テストベクタアドレスN、N+1、N+2、N+3、N+4、N+5に対応して、次の通り設定されているものとする。

N : NOP (通常モード) 対応コード0x1

N+1 : NOP 対応コード0x1

N+2 : NOP 対応コード0x1

N+3 : NOP 対応コード0x1

N+4 : NOP 対応コード0x1

N+5 : STOP (停止) 対応コード0x6

図27は、通常モードNOPに対応して、図(a)に初期値レジスタ出力INR、図(b)に加算器出力ADO、図(f)にテストベクタアドレス初期設定トリガ信号TBAIT、図(g)に測定スタート信号MST、図(h)にテスト周期信号、図(i)にテストベクタアドレスTBA、図(j)にテストベクタアドレス制御コードTBACをそれぞれ示す。

【0153】

図27の例では、図(b)に示す加算器出力ADOが選択され、図(i)に示すテストベクタアドレスTBAに順次+1を加算する行なう通常モードNOPとなる。図(i)のテストベクタアドレスTBAはテスト周期信号TCYが発生する度に、NからN+1、N+2、N+3、N+4、N+5と進む。テストベクタアドレス制御コードTBACが、0x1である期間、すなわち、テストベクタアドレスTBAがNからN+4までの期間には、通常モードNOPで動作を行ない、テストベクタアドレスTBAがN+5になったときに、停止する。

【0154】

図28は、実施の形態2-1によって、テストベクタアドレスTBAを通常モードNOPで進める動作と、サブルーチンジャンプSRJでジャンプさせ、サブルーチンリターンRETで戻り動作を行なう場合におけるタイミングチャートを

示す。テストベクタアドレス制御コードTBACは、テストベクタアドレスTBAのN、N+1、N+2、N+3、N+100、N+101のそれぞれに対応して、次の通り設定されているものとする。

N : NOP対応コード0x1

N+1 : [SJP N+100] 対応コード0x2

N+100 : NOP対応コード0x1

N+101 : RET対応コード0x3

N+2 : NOP対応コード0x1

N+3 : STOP対応コード0x6

N+1における[SJP N+100] 対応コード0x2は、テストベクタアドレスN+1において、テストベクタアドレスN+100へジャンプさせることを意味し、またN+101におけるRET対応コード0x3は、テストベクタアドレスN+101において、テストベクタアドレスN+3に戻すことを意味する。図28は、この動作に対応して、図(a)に初期値レジスタ出力INRを、図(b)に加算器出力ADOを、図(c)にジャンプ先アドレスJADを、図(d)に戻り先アドレスRASを、図(f)にテストベクタアドレス初期設定トリガ信号TBAITを、図(g)に測定スタート信号MSTを、図(h)にテスト周期信号TCYを、図(i)にテストベクタアドレスTBAを、また図(j)にテストベクタアドレス制御コードTBACをそれぞれ示す。

【0155】

図28の例では、図(i)に示すテストベクタアドレスTBAがN+1となったときに、サブルーチンジャンプSJPが行なわれ、テストベクタアドレスN+100へのジャンプ動作が行なわれる。またテストベクタアドレスTBAがN+101となったときに、テストベクタアドレスN+3へのサブルーチンリターンRETの動作が行なわれる。

この図28に示す動作により、異なるテストベクタアドレスにおいて、互いに同じジャンプ先アドレスの指定が可能であり、テストベクタ数の削減が可能となる。

【0156】

図29は、実施の形態2-1によって、テストベクタアドレスTBAを通常モードNOPで進める動作と、無条件ジャンプJMPでジャンプさせる動作とを行なう場合におけるタイミングチャートを示す。テストベクタアドレス制御コードTBACは、テストベクタアドレスN、N+1、N+2、N+100、N+101、N+102、N+103、N+104に対応して次の通り設定される。

N : NOP (通常モード) 対応コード0x1

N+1 : NOP 対応コード0x1

N+2 : [JMP N+100] 対応コード0x4

N+100 : NOP 対応コード0x1

N+101 : NOP 対応コード0x1

N+102 : NOP 対応コード0x1

N+103 : STOP (停止) 対応コード0x6

アドレスN+2における[JMP N+100] 対応コード0x4は、テストベクタアドレスN+2において、テストベクタアドレスN+100へジャンプさせることを意味し、またアドレスN+103におけるSTOP 対応コード0x6は、テストベクタアドレスN+103において、停止(STOP)させることを意味する。図29は、この動作に対応して、図(a)に初期値レジスタ出力INR、図(b)に加算器出力ADO、図(c)にジャンプ先アドレスJAD、図(f)にテストベクタアドレス初期設定トリガ信号TBAIT、図(g)に測定スタート信号MST、図(h)にテスト周期信号、図(i)にテストベクタアドレスTBA、図(j)にテストベクタアドレス制御コードTBACをそれぞれ示す。

【0157】

図29の例では、図(i)に示すテストベクタアドレスTBAがN+2となったときに、テストベクタアドレスN+100への無条件ジャンプJMPが行なわれる。

この図29の動作により、異なるテストベクタアドレスにおいて、互いに同じジャンプ先アドレスの指定が可能であり、テストベクタ数の削減が可能となる。

【0158】

図 3 0 は、実施の形態 2 - 1 によって、テストベクタアドレス T B A を通常モード NOP で進める動作と、リピート R E P させる動作とを行なう場合におけるタイミングチャートを示す。テストベクタアドレス制御コード T B A C は、テストベクタアドレス T B A の N、N + 1、N + 2、N + 3 に対応して次の通り設定される。

N : NOP (通常モード) 対応コード 0 x 1

N + 1 : [R E P 2] 対応コード 0 x 5

N + 2 : NOP 対応コード 0 x 1

N + 3 : S T O P (停止) 対応コード 0 x 6

アドレス N + 1 における [R E P 2] 対応コード 0 x 5 は、テストベクタアドレス N + 1 において、テストベクタアドレス N + 1 をリピート回数 2、すなわち 2 回リピートさせることを意味する。図 3 0 は、この動作に対応して、図 (a) に初期値レジスタ出力 I N R、図 (b) に加算器出力 A D O、図 (c) にリピート回数設定値 + 1 のリピート信号 R P D、図 (e) にリピート回数設定トリガ信号 R C T、図 (k) にダウンカウンタボロー信号 D C B、図 (m) にテストベクタアドレス最終ラッチトリガ信号 T B A F R、図 (f) にテストベクタアドレス初期設定トリガ信号 T B A I T、図 (g) に測定スタート信号 M S T、図 (h) にテスト周期信号、図 (i) にテストベクタアドレス T B A、図 (j) にテストベクタアドレス制御コード T B A C をそれぞれ示す。

【 0 1 5 9 】

図 3 0 の例では、図 (i) に示すテストベクタアドレス T B A が N + 1 となったときに、テストベクタアドレス N + 1 の 2 回のリピート R E P が行なわれ、結果としてテストベクタアドレス N + 1 が 3 回実行される。

この図 3 0 のような動作により、同一テストパターンをリピート R E P により繰り返し発生することが可能となり、テストベクタ数の削減が可能となる。

【 0 1 6 0 】

この実施の形態 2 - 1 では、実施の形態 1 と同じ効果が得られ、加えてテストベクタアドレス制御コード T B A C と、テストベクタアドレス制御データ T B A D に基づいて、サブルーチンジャンプ S J P、サブルーチンリターン R E T、無

条件ジャンプ J M P、および同一ベクトリピート R E Pを含む多様な制御を行ない、テストパターンデータ T P Dのモジュール化を図り、テストベクタ数を削減でき、多様なテストパターンデータを発生して、多様なファンクションテストを実行することができる。

【0161】

実施の形態 2-2.

この実施の形態 2-2は、半導体メモリなどの、マトリクス配置を持ったデジタル回路の試験を行なうのに好適なこの発明による半導体集積回路の試験装置であり、とくにこの実施の形態 2-2は P G部 60が、インストラクション制御によってアルゴリズム的なテストパターンを発生する機能を有する。この実施の形態 2-2における B O S T制御部 40と P G部 60の構成を図 31、32、33に示し、この実施の形態 2-2の動作タイミングチャートを図 34、図 36、図 38、図 40に示す。

【0162】

D U T 10とされる半導体メモリは、複数の X方向ラインと、複数の Y方向ラインとが互いに直交するようにマトリクス配置され、それらの各交点にそれぞれメモリセルを持っている。複数の X方向ラインは Xデコーダによって選択され、複数の Y方向ラインは Yデコーダによって選択される。この半導体メモリは、選択された X方向ラインと Y方向ラインの交点のメモリセルに、テストパターンデータに従ったテスト入力パターン信号を入力し、その結果、D U T 10から得られるテスト出力パターン信号を判定するようにして試験される。

【0163】

図 31 (a) は実施の形態 2-2における P G部 60の構成と、B O S T制御部 40に含まれるレジスタグループ A 430、B 460、C 465の構成を示す。図 31 (b) はレジスタグループ A 430、B 460に含まれる比較レジスタ A 451、B 451と、有効ビットレジスタ A 452、B 452の構成を示す。図 32 (a) は図 31 (a) に示す B O S T制御部 40に含まれるデータスクランブラ 471、472の構成を示し、図 32 (b) はレジスタグループ C 465の構成を示し、また図 32 (c) はデータスクランブラ 466のメモリアドレス

構成を示す。図 3 3 は実施の形態 2 - 2 で使用されるプログラムカウンタ 4 1 0 A の構成を示す。

【 0 1 6 4 】

実施の形態 2 - 2 において、PG 部 6 0 は図 3 1 (a) に示すように、6 つの記憶区域 6 1 1 から 6 1 6 を有する。記憶区域 6 1 6 にはアルゴリズムックデータ発生レジスタ用制御コード ADRC が、記憶区域 6 1 5 にはアルゴリズムックデータ発生レジスタ用制御データ ADRD が、記憶区域 6 1 4 にはテストベクタアドレス制御コード TBAC が、記憶区域 6 1 3 にはテストベクタアドレス制御データ TBAD が、記憶区域 6 1 2 には A/B/C レジスタ切替データ RSD が、また記憶区域 6 1 1 にはテスト入力・判定パターン信号 JPS がそれぞれ記憶されている。これらのコード、データ、信号は、TPM 部 5 0 からダウンロードされたテストパターンデータ TPD に含まれ、それぞれ PG 部 6 0 のアドレス N、N + 1、・・・、N + M に沿って記憶されている。

【 0 1 6 5 】

PG 部 6 0 のアドレスは、プログラムカウンタ 4 1 0 A からのテストベクタアドレス TBA (図 3 4、図 3 6、図 3 8、図 4 0 の図 (i) に示す) によって進められる。記憶区域 6 1 6 に記憶されたアルゴリズムックデータ発生レジスタ用制御コード ADRC (図 3 4、図 3 6、図 3 8、図 4 0 の図 (n) に示す) は、レジスタグループ A 4 3 0、B 4 5 0、C 4 6 0 に供給され、記憶区域 6 1 5 に記憶されたアルゴリズムックデータ発生レジスタ用制御データ ADRD (図 3 4、図 3 6、図 3 8、図 4 0 の図 (o) に示す) はレジスタグループ A、B に供給される。記憶区域 6 1 4 に記憶されたテストベクタアドレス制御コード TBAC (図 3 4、図 3 6、図 3 8、図 4 0 の図 (j) に示す) と、記憶区域 6 1 3 に記憶されたテストベクタアドレス制御データ TBAD は、プログラムカウンタ 4 1 0 A に供給される。記憶区域 6 1 2 に記憶された A/B/C レジスタ切替データ RSD はセレクタ 4 7 3 に供給され、記憶区域 6 1 1 に記憶されたテスト入力・判定パターン信号 JPS は WF 部 8 0 に供給される。

【 0 1 6 6 】

実施の形態 2 - 2 における BOST 制御部 4 0 は、0 - N チャンネルの複数チ

チャンネル構成とされ、この各チャンネルは、DUT10となる半導体メモリの、例えば複数のX方向ラインのそれぞれに対応する。この各チャンネルのそれぞれに、図31(a)に示すレジスタグループA430、B460、C465と、データスクランブラ471、472と、セクタ473とを有する。またこの多チャンネル構成では、各チャンネル毎に、BOST制御部40、PG部60が設けられ、さらに図4、図5に示す実施の形態1-1で述べたように、TMP部50、TG部70、WF部80、出力判定部85、エラー情報メモリ部90、DUT・BOST I/F部95が追加される。

【0167】

レジスタグループA430は、制御回路431と、メインレジスタA440と、比較レジスタA451と、有効ビットレジスタA452と、ビット比較部456とを有する。制御回路431は、AND回路432、OR回路433、AND回路434を有する。AND回路432の一方の入力には、アルゴリズムックデータ発生レジスタ用制御コードADRCに含まれる制御コードSA0が供給される。OR回路433の一方の入力には、アルゴリズムックデータ発生レジスタ用制御コードADRCに含まれる制御コードSA1が供給される。AND回路434の一方の入力には、アルゴリズムックデータ発生レジスタ用制御コードADRCに含まれる制御コードSA2が供給される。AND回路434の他方の入力には、レジスタグループBのキャリア端子C0から加算器キャリア出力BACが与えられ、AND回路434の出力は、AND回路431の他方の入力（反転入力）と、OR回路433の他方の入力に供給される。AND回路432は制御信号S0を発生し、またOR回路433は制御信号S1を発生する。

【0168】

メインレジスタA440は、ビット毎論理和回路441、A+B加算回路442、セクタ443、ビット毎論理積回路444、フリップフロップ445、デコーダ446、OR回路447、AND回路448、インバータ449を有する。ビット毎論理和回路441は入力A、Bの論理和出力をA+B加算回路442の入力Aに供給する。ビット論理和回路441の入力Aはフリップフロップ445の出力Qに接続され、その入力Bには、有効ビットレジスタA452の出力端

子4に出力される有効ビットレジスタA452の出力EBA（図34、図36、図38、図40の図（p）に示す）を反転させるインバータ449の出力が与えられる。A+B加算回路442に入力Bには、アルゴリズムックデータ発生レジスタ制御データADRDが供給され、このA+B加算回路442は、入力A、Bの加算出力Fをセクタ443の入力Cに供給する。セクタ443の入力Aには、アルゴリズムックデータ発生レジスタ制御データADRDが供給され、入力BにはレジスタグループB460のメインレジスタB440出力MRBが供給されている。このメインレジスタB440の出力MRBは、図34の図（r2）、図36の図（r）、図38の図（r2）、図40の図（r）に示される。

メインレジスタA440のA+B加算器442は、そのキャリア端子C0にレジスタグループAの加算器キャリア信号AAC（図38の図（t）に示す）を発生する。このレジスタグループAの加算器キャリア信号AACは、レジスタグループB460に供給される。

【0169】

セクタ443は、制御信号S0-S1に応じて、入力A、B、Cを選択し、出力Fに出力する。このセクタ443の出力Fはビット毎論理積回路444の入力Aに供給される。ビット毎論理積回路444の入力Bには、有効ビットレジスタA452の出力端子4の出力EBAが与えられ、このビット毎論理積回路444の出力はフリップフロップ445の入力Dに与えられる。

デコーダ446は制御信号S0-S1をデコードし、その出力はOR回路447の入力に与えられる。OR回路447の出力はAND回路448の一方の入力に与えられる。このAND回路448の他方の入力には、テスト周期信号TCYが与えられ、AND回路448の出力はフリップフロップ445のクロック入力Cへ供給される。このフリップフロップ445の出力Qには、メインレジスタAの出力MRAが出力される。このメインレジスタA440の出力MRAは、図34の図（r1）、図36の図（r）、図38の図（r1）、図40の図（r）に示される。

【0170】

セクタ443の出力Fは次の通りとなる。アルゴリズムックデータ発生レジ

スタ制御コードADRCに含まれる制御コードSA0、SA1、SA2が、SA0=0、SA1=0、SA2=0であるときには、入力Aが選択され、アルゴリズムミックデータ発生レジスタ用制御データADRDが即値データとして出力される。制御コードSA0=1、制御コードSA1=0、制御コードSA2=0のときには、入力Bが選択され、レジスタグループBのメインレジスタBの出力MRBがセクタ443の出力Fにデータ転送される。制御コードSA0=0、制御コードSA1=1、制御コードSA2=0のときには、入力Cが選択され、入力Cへの演算データがセクタ443の出力Fに出力される。制御コードSA0=X、制御コードSA1=X、制御コードSA2=1のときには、入力Cが選択され、入力Cからの演算データ（リンク演算）がセクタ443の出力Fに出力される。このセクタ443の出力Fは、ビット毎論理積回路、フリップフロップを経て、メインレジスタAの出力MRAとして出力される。

【0171】

比較レジスタA451と、有効ビットレジスタA452は、それぞれ図31（b）に示されるように構成される。これらのレジスタ451、452は、デコーダ453、AND回路454、フリップフロップ455を有し、また3つの入力端子1、2、3と1つの出力端子4を有する。デコーダ453の入力は入力端子2に接続され、このデコーダ453の出力はAND回路454の一方の入力に接続される。AND回路454の他方の入力は、入力端子3に接続され、このAND回路454の出力は、フリップフロップ455のクロック入力Cに接続される。フリップフロップ455の入力Dは入力端子1に接続され、その出力Qは出力端子4に接続される。

【0172】

比較レジスタA451と有効ビットレジスタA452のそれぞれの端子1には、アルゴリズムミックデータ発生レジスタ用制御データADRDが供給され、またそれらの端子2にはそれぞれ制御信号S0-S1が供給される。比較レジスタA451と有効ビットレジスタA452の端子3にはそれぞれテスト周期信号TCYが供給される。比較レジスタA451の端子4には、比較レジスタAの出力CRA（図36、図38、図40の図（q）に示す）が発生する。この比較レジス

タ A 4 5 1 の出力 C R A はビット比較器 4 5 6 の入力 B に供給され、このビット比較器 4 5 6 の入力 A にはメインレジスタ A 4 4 0 の出力 M R A が供給される。ビット比較器 4 5 6 は、これらの入力 A、B をビット毎に比較し、レジスタグループ A の比較一致信号 C C A (図 3 6、図 3 8、図 4 0 の図 (s) に示す) を発生する。この比較一致信号 C C A は、入力 A = 入力 B のときに高レベル H となる。

有効ビットレジスタ A 4 5 2 は、出力 E B A を発生する。この出力 E B A は、図 3 4、図 3 6、図 3 8、図 4 0 の図 (p) に示される。この出力 E B A は、有効ビットで高レベル H となる出力であり、これはビット論理積回路 4 4 4 の入力 B に供給される。

【 0 1 7 3 】

メインレジスタ A 4 4 0 のデコーダ 4 4 6 と、比較レジスタ 4 5 1 のデコーダ 4 5 3 と、有効ビットレジスタ 4 5 2 のデコーダ 4 5 3 は、ともに、制御信号 S 0 - S 1 をデコードする。これらのデコーダは、制御信号 S 0 - S 1 の互いに異なる信号によって、高レベル出力を出力するように構成され、結果として、メインレジスタ A 4 4 0 と、比較レジスタ A 4 5 1、有効ビットレジスタ A 4 5 2 は、制御信号 S 0 - S 1 が互いに異なる場合に、それらの何れかが選択的に動作する。

【 0 1 7 4 】

レジスタグループ B 4 6 0 は、レジスタグループ A 4 3 0 と同様に構成される。レジスタグループ A のメインレジスタ A 4 4 0、比較レジスタ A 4 5 1、有効ビットレジスタ A 4 5 2 は、レジスタグループ B 4 6 0 では、それぞれメインレジスタ B、比較レジスタ B、有効ビットレジスタ B と呼ばれるが、構成はメインレジスタ A 4 4 0、比較レジスタ A 4 5 1、有効ビットレジスタ A 4 5 2 と同じである。これらのレジスタ以外の制御回路 4 3 1、ビット比較器 4 5 6 も同じ構成でレジスタグループ B 4 6 0 に含まれる。レジスタグループ B の A + B 加算器 4 4 2 はキャリア端子 C 0 にキャリア出力 B A C を発生し、これがレジスタグループ A 4 3 0 の AND 回路 4 3 4 に供給される。レジスタグループ B 4 6 0 の有効ビットレジスタ B 4 5 2 は、出力 E B B を発生する。この出力 E B B は、出力

E B Aとともに、図 3 4、図 3 6、図 3 8、図 4 0 の図 (p) に示される。レジスタグループ B の比較レジスタ B 4 5 1 は、出力 C R B を発生する。この出力 C R B は出力 C R A とともに、図 3 6、図 3 8、図 4 0 の図 (q) に示される。レジスタグループ B 4 6 0 のビット比較器 4 5 6 は、レジスタグループ A のビット比較器 4 5 6 の出力と同様な比較一致信号 C C B を発生する。この比較一致信号 C C B は図 3 6、図 3 8、図 4 0 の図 (s) に示される。

【 0 1 7 5 】

レジスタグループ A 4 3 0 のメインレジスタ A 4 4 0 の出力 M R A はデータスクランブラ 4 7 1 に供給され、またレジスタグループ B 4 6 0 のメインレジスタ B の出力 M R B はデータスクランブラ 4 7 2 に供給される。データスクランブラ 4 7 1、4 7 2 は図 3 2 (a) に取り出して示すが、半導体メモリで構成され、入力 I N がその半導体メモリのメモリアドレスに供給され、そのメモリアドレスに対応するメモリデータが出力 O U T から出力される。データスクランブラ 4 7 1、4 7 2 を構成する半導体メモリに予め変換データを書き込んでおくことにより、入力 I N を変換データに応じて変換した出力 O U T を出力する。入力 I N を周期的に変化させることにより、出力 O U T を変換データに基づき、アルゴリズムックに変化させることができる。

【 0 1 7 6 】

レジスタグループ C 4 6 5 は、データスクランブラ 4 6 6 と、フリップフロップ 4 6 7、4 7 8 と、AND 回路 4 6 9 を有する。このレジスタグループ C 4 6 5 は図 3 2 (b) にも示される。データスクランブラ 4 6 6 は、メインレジスタ C を構成し、3 つの入力 1、2、3 と出力 4 を有する。入力 1 にはレジスタグループ A 4 3 0 からのメインレジスタ A の出力 M R A が、入力 2 にはレジスタグループ B 4 6 0 からのメインレジスタ B の出力 M R B が入力される。フリップフロップ 4 6 7 の入力 D には、アルゴリズムックデータ発生レジスタ用制御コード A D R C に含まれるスクランブル番号 S C N が供給される。AND 回路 4 6 9 の一方の入力には、アルゴリズムックデータ発生レジスタ用制御コード A D R C に含まれるスクランブル番号設定イネーブルコード S C N E が供給され、その他方の入力には、テスト周期信号 T C Y が与えられる。この AND 回路 4 6 9 の出力は

、フリップフロップ467のクロック入力Cに接続され、このフリップフロップ467の出力Qはデータスクランブラ466の入力3に接続される。

【0177】

データスクランブラ466は、入力1、2、3への入力をアドレスとする半導体メモリで構成される。入力3へのスクランブル番号SCNと、入力2へのメインレジスタBの出力MRBと、入力1へのメインレジスタAの出力MRAが、図32(c)に示すように、データスクランブラ466へのアドレス番号とされる。データスクランブラ466には、変換データが予め書き込まれ、メインレジスタA、Bの出力MRA、MRBの組合せに基づいて、アルゴリズムックに変化するデータ出力が出力される。スクランブル番号SCNは、出力されるデータアルゴリズムのインデックス番号に相当する。このスクランブル番号SCNは、スクランブル番号設定イネーブルコードSCNEが高レベルHのとき、テスト周期信号TCYにより、フリップフロップ467でラッチされる。このスクランブル番号SCNのラッチにより、テストベクタアドレス毎にスクランブル番号SCNを設定する必要がなくなる。

なお、フリップフロップ468の入力Dには、データスクランブラ466の出力1が接続され、そのクロック入力Cにはテスト周期信号TCYが与えられる。このフリップフロップ468の出力Qから、レジスタグループC465の出力MRC(図40(v)に示す)が出力される。

【0178】

セクタ473は、入力A、B、Cと、出力Fと制御入力S*を有する。入力Aには、データスクランブラ471の出力が、入力Bにはデータスクランブラ472の出力が、また入力Cには、レジスタグループC465からのレジスタ出力MRCがそれぞれ入力される。セクタ473の制御入力S*には、PG部60の記憶区域615に記憶されたA/B/Cレジスタ切替データRSDが入力され、これに基づいて、セクタ473は、入力A、B、Cの何れかを選択しながら、出力Fへテストパターン信号TPSを出力する。

【0179】

前にも述べたように、図31(a)のBOST制御部40の回路は、0-Nチ

チャンネルの多チャンネル構成とされ、図 3 1 (a) はその 1 つのチャンネルを示す。このチャンネル 0 - N は、D U T 1 0 のメモリの多数の X 方向ラインのそれぞれに対応する。すなわち、D U T 1 0 とされた半導体メモリの各 X 方向ラインの対応する各チャンネルから、同時に並列に、複数のテストパターン信号 T P S が出力される。この各テストパターン信号 T P S は、各チャンネルの W F 部 8 0 で、テスト入力パターン信号 T I P に変換され、それぞれの X 方向ラインのテスト入力パターン信号 T I P が D U T 1 0 に並列的に供給される。テスト入力・判定パターン信号 J P S も、各チャンネルの P G 部 6 0 の記憶区域 6 1 6 から、各チャンネルの出力判定部 8 5 に供給され、各チャンネル毎に D U T 1 0 から出力されたテスト出力パターン信号 T O P と比較され、各チャンネル毎に設けられたエラー情報メモリ部 9 0 にエラー発生時のテストアドレス信号 M A D を記憶する。

【 0 1 8 0 】

実施の形態 2 - 2 のプログラムカウンタ 4 1 0 A に詳細を図 3 3 を参照して説明する。このプログラムカウンタ 4 1 0 A は、図 2 6 (a) のプログラムカウンタ 4 1 0 と類似しているが、このプログラムカウンタ 4 1 0 に、さらに、セレクタ 4 2 6、制御回路 4 2 7 を加えたものである。その他の構成は、図 2 6 に示すプログラムカウンタ 4 1 0 と同じである。

セレクタ 4 2 6 は加算器 4 1 4 とセレクタ 4 1 1 の入力 A 1 との間に設けられている。このセレクタ 4 2 6 は、加算器 4 1 4 の O U T 端子に接続された入力 A と、P G 部 6 0 の記憶区域 6 1 3 からのテストベクタアドレス制御データ T B A D を受ける入力 B とを有し、これらの入力 A、B を制御端子 S へのレジスタグループ A、B 比較一致信号 C C A、C C B (図 3 6、図 3 8、図 4 0 の図 (s) に示す) に基づいて選択する。

【 0 1 8 1 】

制御回路 4 2 7 は、O R 回路 4 2 8 と、A N D 回路 4 2 9 a、4 2 9 b、4 2 9 c と、デコーダ 4 2 9 d を有する。デコーダ 4 2 9 d は、テストベクタアドレス制御コード T B A C に含まれる制御信号 S 3 - S 4 をデコードし、その端子 1 から 4 に出力する。A N D 回路 4 2 9 a の一方の入力には、デコーダ 4 2 9 d の

端子 1 が接続され、その他方の入力には、レジスタグループ A 4 3 0 のビット比較器 A 4 5 6 のビット比較出力 C C A が与えられる。AND 回路 4 2 9 b の一方の入力には、デコーダ 4 2 9 d の端子 2 が接続され、その他方の入力には、レジスタグループ B のビット比較器 B 4 5 6 のビット比較出力 C C B が与えられる。AND 回路 4 2 9 c は 3 入力の AND 回路であり、その 1 つの入力にはビット比較出力 C C A が、他の 1 つの入力にはビット比較出力 C C B がそれぞれ与えられ、もう 1 つの入力にはデコーダ 4 2 9 d の端子 3 が接続されている。OR 回路 4 2 8 には、AND 回路 4 2 9 a、4 2 9 b、4 2 9 c の出力が供給され、またデコーダ 4 2 9 d の端子 0 の出力が与えられる。OR 回路 4 2 8 の出力（反転出力）は、レジスタグループ A、B 比較一致信号 C C S となる。セクタ 4 2 6 は、制御端子 S に与えられるレジスタグループ A、B 比較一致信号 C C S が低レベル L となったときに、入力 B に与えられるテストベクタアドレス制御データ T B A D をセクタ 4 1 4 の入力 A 1 に供給する。

【 0 1 8 2 】

図 3 4 は実施の形態 2 - 2 について、テストベクタアドレス T B A を通常モード NOP で発生し、メインレジスタ A 4 4 0 とメインレジスタ B 4 4 0 の出力を、即値入力とレジスタ間転送の組合せで発生する場合の動作タイミングチャートを示す。

【 0 1 8 3 】

この図 3 4 は、図 (a) に初期値レジスタ 4 1 3 の出力 I N R を、図 (b) に加算器 4 1 4 の加算器出力 A D O を、図 (c) にジャンプ先アドレス J A D を、図 (f) にテストベクタアドレス初期設定トリガ T B A I T を、図 (g) に測定スタート信号 M S T を、図 (h) にテスト周期信号 T C Y を、図 (i) にテストベクタアドレス T B A を、図 (j) にテストベクタアドレス制御コード T B A C を、図 (n) にアルゴリズムックデータ発生レジスタ制御コード A D R C を、図 (o) にアルゴリズムックデータ発生レジスタ制御データ A D R D を、図 (p) に有効ビットレジスタ A 4 5 2 と B 4 5 2 の出力 E B A と E B B を、図 (r 1) にメインレジスタ A 4 4 0 の出力 M R A を、また図 (r 2) にメインレジスタ B 4 4 0 の出力 M R B をそれぞれ示す。

【 0 1 8 4 】

この図 3 4 では、テストベクタアドレス T B A のアドレス値 N 、 $N + 1$ 、 $N + 2$ 、 $N + 3$ に対して、テストベクタアドレス制御コード T B A C と、アルゴリズムミックデータ発生制御コード A D R C は、図 3 5 の通り設定される。

図 3 5 において、N O P は通常モードを意味し、コードは 0×1 とされる。また S T O P は停止モードを意味し、コードは 0×6 とされる。

【 0 1 8 5 】

テストベクタアドレス T B A が N のときには、テストベクタアドレス制御コード T B A C が通常モード N O P を意味する 0×1 となり、初期値レジスタ 4 1 3 による初期値の設定とともに、アルゴリズムミックデータ発生制御コード A D R C が、 $E A = 0 \times F F$ 、 $E B = 0 \times F F$ となる。 $E A = 0 \times F F$ は、有効ビットレジスタ A 4 5 2 を、その上下の各 4 ビットにそれぞれ 1 1 1 1 を設定する意味である。テストベクタアドレス T B A が N のときには、アルゴリズムミックデータ発生レジスタ制御データ A D R D は $0 \times F F$ であり、このデータ A D R D がレジスタグループ A 4 3 0 の有効ビットレジスタ A 4 5 2 にセットされ、有効ビットレジスタ A 4 5 2 は $0 \times F F$ に設定される。同様に、 $E B = 0 \times F F$ は有効ビットレジスタ B 4 5 2 を $0 \times F F$ に設定する意味であり、レジスタグループ B 4 6 0 の有効ビットレジスタ B 4 5 2 も、 $0 \times F F$ に設定される。この結果、メインレジスタ A 4 4 0、B 4 4 0 のビット 0 ~ 7 が有効ビットとされる。

【 0 1 8 6 】

テストベクタアドレス T B A が $N + 1$ のときには、テストベクタアドレス制御コード T B A C は、通常モード N O P を指示する 0×1 であり、またアルゴリズムミックデータ発生レジスタ制御コード A D R C は、 $M A = 0 \times 0 0$ 、 $M B = 0 \times F F$ となり、アルゴリズムミックデータ発生レジスタ制御データ A D R D はメインレジスタ A 4 4 0 に対して $0 \times 0 0$ 、メインレジスタ B 4 6 0 に対して $0 \times F F$ となる。この結果、メインレジスタ A 4 4 0 の出力 M R A は $0 \times 0 0$ となり、メインレジスタ A 4 4 0 の上下の各 4 ビットがともに 0 0 0 0 となる。メインレジスタ B 4 4 0 の出力 M R B は $0 \times F F$ となり、メインレジスタ B 4 4 0 の上下の各 4 ビットがともに 1 1 1 1 となる。

【0187】

テストベクタアドレスTBAがN+2のときには、テストベクタアドレス制御コードTBACは、通常モードNOPを意味する0x1であり、またアルゴリズムミックデータ発生レジスタ制御コードADRCは、MA=MB (MB→MA転送)、MB=MA (MA→MB転送) となり、メインレジスタA440の出力MRAは0xFF、メインレジスタB440の出力MRBは0x00となる。

テストベクタアドレスTBAがN+2のときには、テストベクタアドレス制御コードTBACは、停止STOPを意味する0x6になり、停止する。

【0188】

図36は、テストベクタアドレスTBAを通常モード、レジスタ比較の組合せで発生し、メインレジスタA440、B440の出力をレジスタ即値入力、レジスタ演算の組合せで発生する場合の動作タイミングチャートを示す。この図36の動作では、テストベクタアドレスTBAのアドレス値N、N+1、N+2、N+3、N+4、N+5に対し、テストベクタアドレス制御コードTBACと、アルゴリズムミックデータ発生レジスタ制御コードADRCは図37に示すように設定される。図37に示すテストベクタアドレス制御コードTBACの[MAB/CAB N+3]は、メインレジスタA440、B440の出力値が、それぞれ比較レジスタA451、B451の出力値に一致するまで、指定飛び先アドレスN+3へジャンプすることを意味し、一致すれば次のテストベクタアドレスへ進む。

【0189】

この図36では、図(a)に初期値レジスタ413の出力INRを、図(b)に加算器414の加算出力ADOを、図(c)にジャンプ先アドレスJADを、図(f)にテストベクタアドレス初期設定トリガTBAITを、図(g)に測定スタート信号MSTを、図(h)にテスト周期信号TCYを、図(i)にテストベクタアドレスTBAを、図(j)にテストベクタアドレス制御コードTBACを、図(n)にアルゴリズムミックデータ発生レジスタ制御コードADRCを、図(o)にアルゴリズムミックデータ発生レジスタ制御データADRDを、図(p)に有効ビットレジスタA452、B452の出力EBA、EBBを、図(q)に

比較レジスタA451、B451の出力CRA、CRBを、図(r)にメインレジスタA440、B440の出力MRA、MRBを、また図(s)にレジスタグループA、Bの比較一致信号CCA、CCBを示す。

【0190】

テストベクタアドレスTBAがNのときには、アルゴリズムックデータ発生レジスタ制御コードADRCは、EA=0xFF、EB=0xFFとなり、有効ビットレジスタA452、B452に、図34の場合と同様な初期設定が行なわれる。

【0191】

テストベクタアドレスTBAがN+1のときには、アルゴリズムックデータ発生レジスタ制御コードADRCは、CA=0xFF、CB=0xFFとなる。これは、比較レジスタA451、B451に0xFFを設定することを意味し、アルゴリズムックデータ発生レジスタ制御データADRDの即値が比較レジスタA451、B451に入力され、比較レジスタA451、B451に0xFFが入力される。

【0192】

テストベクタアドレスTBAがN+2になれば、アルゴリズムックデータ発生レジスタ制御コードADRCは、MA=0x00、MB=0x00となる。これはメインレジスタA440、B440に0x00を設定することを意味し、アルゴリズムックデータ発生レジスタ制御データADRDの即値がメインレジスタA440、B440に入力され、メインレジスタA440、B440に0x00が設定される。

【0193】

テストベクタアドレスTBAがN+3になれば、アルゴリズムックデータ発生レジスタ制御コードADRCは、MA=MA+1、MB=MB+1となる。これは前の周期のメインレジスタA440、B440の出力値に1を加算して、その結果をメインレジスタA440、B440に設定することを意味し、メインレジスタA440、B440の出力MRA、MRBは0x01となる。

【0194】

テストベクタアドレスTBAがN+4になれば、MAB/CAB N+3の動作となり、メインレジスタA440、B440の出力値が、比較レジスタA451、B451の出力値に一致するまで、テストベクタアドレスTBAが指定飛び先アドレスN+3へジャンプすることを意味し、テストベクタアドレスTBAは再びN+3にジャンプする。また、アルゴリズムックデータ発生レジスタ制御コードADRCは、MA=MA+1、MB=MB+1となる。これは前の周期のメインレジスタA440、B440の出力値に1を加算して、その結果をメインレジスタA440、B440に設定することを意味し、メインレジスタA440、B440の出力MRA、MRBは0x02となる。

【0195】

この動作は、メインレジスタA440、B440の出力MRA、MRBが、比較レジスタA451、B451の出力0xFFになるまで繰り返される。メインレジスタA440、B440の出力MRA、MRBが比較レジスタA451、B451の出力と一致すれば、ビット比較器456から比較一致信号CCA、CCBが発生し、メインレジスタA440、B440に出力0xFFに1が加算される。メインレジスタA440、B440の出力0xFFに1を加算すれば、メインレジスタA440、B440の出力MRA、MRBは0x100となるが、有効ビットレジスタA452、B452の出力EBA、EBBが0xFFに設定されているので、メインレジスタA440、B440の出力MRA、MRBは0x00に返ることになる。

このようにして図36に示すように、メインレジスタA440、B440の出力MRA、MRBはレジスタ即値入力と、レジスタ演算の組合せに基づいて発生され、0x00から0xFFに至る変化を行なう。

【0196】

図38は、テストベクタアドレスTBAを通常モードとレジスタ比較の組合せで発生し、メインレジスタA440、B440の出力MRA、MRBをレジスタ即値入力と、レジスタリンク演算の組合せで発生する場合の動作タイミングチャートを示す。この図38の動作では、テストベクタアドレスTBAのアドレス値N、N+1、N+2、N+3、N+4に対し、テストベクタアドレス制御コード

T B A C と、アルゴリズムックデータ発生レジスタ制御コード A D R C は図 39 に示すように設定される。図 39 において、テストベクタアドレス T B A のアドレス値 $N+3$ に対するテストベクタアドレス制御コード T B A C のコード [M A B / C A B $N+3$] は、メインレジスタ A 4 4 0、B 4 4 0 の出力値が、それぞれ比較レジスタ A 4 5 1、B 4 5 1 の出力値に一致するまで、指定飛び先アドレス $N+3$ へジャンプすることを意味し、一致すれば次のテストベクタアドレスへ進む。この図 38 では、テストベクタアドレス T B A が $N+3$ になったときに、M A B / C A B $N+3$ の動作が起こり、テストベクタアドレス T B A は $N+3$ を繰り返す。

【0197】

この図 38 では、図 (a) に初期値レジスタ 4 1 3 の出力 I N R を、図 (b) に加算器 4 1 4 の加算出力 A D O を、図 (c) にジャンプ先アドレス J A D を、図 (f) にテストベクタアドレス初期設定トリガ T B A I T を、図 (g) に測定スタート信号 M S T を、図 (h) にテスト周期信号 T C Y を、図 (i) にテストベクタアドレス T B A を、図 (j) にテストベクタアドレス制御コード T B A C を、図 (n) にアルゴリズムックデータ発生レジスタ制御コード A D R C を、図 (o) にアルゴリズムックデータ発生レジスタ制御データ A D R D を、図 (p) に有効ビットレジスタ A 4 5 2、B 4 5 2 の出力 E B A、E B B を、図 (q) に比較レジスタ A 4 5 1、B 4 5 1 の出力 C R A、C R B を、図 (r 1) にメインレジスタ A 4 4 0 の出力 M R A を、図 (r 2) にメインレジスタ B 4 4 0 の出力 M R B を、図 (t) にレジスタグループ A の A + B 加算器 4 2 2 のキャリア出力 A A C を、また図 (s) にレジスタグループ A、B 比較一致信号 C C A、C C B を示す。

【0198】

テストベクタアドレス T B A が N 、 $N+1$ 、 $N+2$ のときの動作は図 35 に示す動作と同じである。テストベクタアドレス T B A が $N+3$ になったとき、M A B / C A B $N+3$ の動作とともに、アルゴリズムックデータ発生レジスタ制御コード A D R C は、 $M A = M A + 1$ 、 $L M B + 1$ を指示する。 $M A = M A + 1$ は前の周期のメインレジスタ A 4 4 0 の出力値に 1 を加算することを意味し、メイ

ンレジスタA440はテストベクタアドレスTBAがN+3になる度に、その出力に1が加算される。LBM+1は、メインレジスタA440のA+B加算器442にキャリア出力AACが発生した場合に、メインレジスタB440に1を加算することを意味する。したがって、テストベクタアドレスTBAがN+3を繰り返すときに、メインレジスタB440は前の周期の出力を繰り返すリンク演算を行い、メインレジスタA440の出力が0xFFとなってキャリア出力AACが発生する毎に、メインレジスタB440の出力には1が加算される。

【0199】

この動作は、メインレジスタA440の出力MRAが0xFFとなり、またメインレジスタB440の出力MRBも0xFFとなるまで続く。メインレジスタA440、B440の出力MRA、MRBがともに0xFFとなれば、レジスタグループA、Bのビット比較器456からの出力CCA、CCBにより、メインレジスタA440、B440の出力MRA、MRBはともに0x00に戻る。

【0200】

図40は、テストベクタアドレスTBAを通常モードとレジスタ比較の組合せで発生し、メインレジスタA440、B440の出力MRA、MRBをレジスタ即値入力と、レジスタ演算の組合せで発生する場合の動作タイミングチャートを示す。この図40の動作では、テストベクタアドレスTBAのアドレス値N、N+1、N+2、N+3、N+4、N+5に対し、テストベクタアドレス制御コードTBACと、アルゴリズムックデータ発生レジスタ制御コードADRCは図41に示すように設定される。図41において、テストベクタアドレスTBAのアドレス値N+4に対するテストベクタアドレス制御コードTBACのコード[MAB/CAB N+3]は、メインレジスタA440、B440の出力値が、それぞれ比較レジスタA451、B451の出力値に一致するまで、指定飛び先アドレスN+3へジャンプすることを意味し、一致すれば次のテストベクタアドレスへ進む。この図40では、テストベクタアドレスTBAがN+4になったときに、[MAB/CAB N+3]の動作が起こり、テストベクタアドレスTBAがN+3に戻る動作を繰り返す。

【0201】

この図40では、図(a)に初期値レジスタ413の出力INRを、図(b)に加算器414の加算出力ADOを、図(c)にジャンプ先アドレスJADを、図(f)にテストベクタアドレス初期設定トリガTBAITを、図(g)に測定スタート信号MSTを、図(h)にテスト周期信号TCYを、図(i)にテストベクタアドレスTBAを、図(j)にテストベクタアドレス制御コードTBACを、図(n)にアルゴリズムックデータ発生レジスタ制御コードADRCを、図(o)にアルゴリズムックデータ発生レジスタ制御データADRDを、図(p)に有効ビットレジスタA452、B452の出力EBA、EBBを、図(q)に比較レジスタA451、B451の出力CRA、CRBを、図(r)にメインレジスタA440、B440の出力MRA、MRBを、図(v)にメインレジスタC466の出力MRCを、また図(s)にレジスタグループA、B比較一致信号CCA、CCBを示す。

【0202】

テストベクタアドレスTBAがNであるときには、アルゴリズムックデータ発生レジスタ制御コードADRCがEA=0xFF、EB=0xFF、MC=0x00とされる。すなわち、有効ビットレジスタA452、B452に0xFFが設定され、メインレジスタC465が0x00に設定される。メインレジスタC465では、スクランブル番号SCNが0x00に設定され、メインレジスタC465はスクランブル番号0x00のデータアルゴリズムで出力MRCを発生する。テストベクタアドレスTBAがN+1になれば、アルゴリズムックデータ発生レジスタ制御コードADRCがCA=0xFF、CB=0xFFとなり、比較レジスタA451、B451にともに、0xFFが設定される。テストベクタアドレスTBAがN+2になれば、アルゴリズムックデータ発生レジスタ制御コードADRCがMA=0x00、MB=0x00となり、メインレジスタA440、B440に0x00が設定される。テストベクタアドレスTBAがN+3になれば、アルゴリズムックデータ発生レジスタ制御コードADRCがMA=MA+1、MB=MB+1となり、前の周期のメインレジスタA440、B440の出力値にそれぞれ1が加算され、メインレジスタA440、B440の出力MRA、MRBはともに0x01となる。

【0203】

テストベクタアドレスTBAがN+4になると、テストベクタアドレス制御コードTBACが0018となり、MAB/CAB N+3の動作によりテストベクタアドレスTBAをN+3に戻す指示がなされ、併せてアルゴリズムックデータ発生レジスタ制御コードADRCはMA=MA+1、MB=MB+1となり、再びメインレジスタA440、B440の出力に1が加算される。テストベクタアドレスTBAがN+3に戻れば、アルゴリズムックデータ発生レジスタ制御コードADRCがMA=MA+1、MB=MB+1となり、前の周期のメインレジスタA440、B440の出力値にそれぞれ1が加算され、メインレジスタA440、B440の出力MRA、MRBはともに0xFFまで順次増加する。メインレジスタA440、B440の出力MRA、MRBが0xFFになれば、ビット比較器456の出力CCA、CCBにより、メインレジスタA440、B440の出力MRA、MRBは0x00に戻る。

【0204】

この図40に示す動作では、異なるテストパターン信号で、飛び先のパターンの共用化が可能で、テストベクタ数を削減できる。

【0205】

この実施の形態2-2では、実施の形態1と同じ効果が得られ、加えてアルゴリズムックデータ発生用レジスタ制御コードADRCとアルゴリズムックデータ発生用レジスタ制御データRDRDに基づいて、アルゴリズムックなテストパターン信号TPSを発生することができ、テストベクタ数を削減でき、多様なテストパターンデータを発生して、多様なファンクションテストを実行することができる。また、多チャンネル構成で、各チャンネル0～Nにおいて、並列的にテストパターン信号TPSを発生し、複数の、例えばX方向ラインにそれぞれに対応するテストパターン信号TPSを並列的に供給でき、例えばDUT10に含まれるデジタル回路、とくにメモリ回路に対する試験を効果的に実行できる。

【0206】

実施の形態2-3

この実施の形態2-3は、パラレルに発生するテストパターン信号TPSを、

シリアルテストパターン信号に変換するパラレルシリアル変換器 4 7 5 を有するこの発明による半導体集積回路の試験装置の実施の形態である。図 4 2 はこの実施の形態 2 - 3 による B O S T 制御部 4 0 の構成を示し、図 4 3 はこれに使用されるパラレルシリアル変換器の詳細な構成を示し、図 4 4 はその動作タイミングチャートである。

【 0 2 0 7 】

この実施の形態 2 - 3 では、パラレルシリアル変換器 4 7 5 とテストパターン発生器 6 2 0 を有する。パラレルシリアル変換器 4 7 5 は B O S T 制御部 4 0 に含まれており、テストパターン発生器 6 2 0 は P G 部 6 0 に含まれる。パラレルシリアル変換器 4 7 5 は、入力側に複数の入力端子 I N 1 から I N N を有し、また出力側にも複数の出力端子 O U T 1 から O U T N を有する。テストパターン発生器 6 2 0 は、多チャンネル構成とされ、複数のチャンネル C H (1) から C H (N) のそれぞれで、同時にパラレルに、テストパターンデータ T P D を発生する。これらのパラレルなテストパターンデータをとくに符号 P - T P D で示す。テストパラレルシリアル変換器 4 7 5 は、これらのチャンネル C H (1) から C H (N) からのパラレルテストパターンデータ P - T P D をシリアルテストパターンデータ S - T P D に変換して、各出力端子 O U T 1 から O U T N に出力する機能を持つ。ただし、パラレルシリアル変換器 4 7 5 は、パラレルテストパターンデータ P - T P D をそのまま出力することも可能である。

【 0 2 0 8 】

パラレルシリアル変換器 4 7 5 は、図 4 3 に示すように、多チャンネル構成とされ、複数のチャンネル C H 1 から C H N を有する。これらのチャンネル C H 1 から C H N のそれぞれに入力端子 I N 1 から I N N が形成され、また出力端子 O U T 1 から O U T N が形成される。パラレルシリアル変換器 4 7 5 のチャンネル C H 1 から C H N - 1 には、それぞれセクタ 4 7 6 と、フリップフロップ 4 7 7 が接続される。パラレルシリアル変換器 4 7 5 のチャンネル C H N には、フリップフロップ 4 7 7 だけが接続される。セクタ 4 7 6 は、入力 A、B と、制御端子 S と、出力 F を有する。チャンネル C H 1 から C H N - 1 に設けられた各セクタ 4 7 6 の入力 A は、それぞれ入力端子 I N 1 から I N N - 1 に接続される

。各セクタ 4 7 6 の入力 B は、それぞれ次のチャンネル CH 2 から CHN に設けられたフリップフロップ 4 7 7 の出力 Q に接続される。

【 0 2 0 9 】

チャンネル CH 1 から CHN のそれぞれのフリップフロップ 4 7 7 の出力 F は、それぞれ出力端子 OUT 1 から OUTN に接続される。これらのフリップフロップ 4 7 7 のクロック入力には、テスト周期信号 TCY が与えられる。

パラレルシリアル変換器 4 7 5 は、さらに SR フリップフロップ 4 7 8 を有する。これはセット入力 S とリセット入力 R を有し、その出力 O は各セクタ 4 7 6 の制御端子 S に接続されている。この SR フリップフロップ 4 7 8 は、セット入力 S が変換 ON 信号 CON によって高レベル H になれば、その出力 O が高レベル H となり、各セクタ 4 7 6 の入力 B を出力 F に接続する。SR フリップフロップ 4 7 8 のリセット入力 R が変換 OFF 信号 COF によって高レベル H となれば、その出力 O は低レベル L となり、各セクタ 4 7 6 は入力 A を出力 F に与えるように、切り換る。

【 0 2 1 0 】

図 4 4 (e) には、変換 ON 信号 CON が、図 4 4 (f) には変換 OFF 信号 COF が示される。SR フリップフロップ 4 7 8 が、変換 OFF 信号 COF を受けて、各セクタ 4 7 6 の入力 A が出力 F に接続された状態では、パラレルシリアル変換器 4 7 5 の出力端子 OUT 1 から OUTN のそれぞれには、図 4 4 (a) (b) (c) (d) に示すパラレルタイプのテストパターンデータ P-TDP が出力される。このパラレルタイプのテストパターンデータ P-TDP は、第 1 のテスト周期 TA ($TA = N \times TCY$) では、入力端子 IN 1 から INN に供給されたテストパターンデータ DA (1) 、 \dots 、 DA (N - 2) 、 DA (N - 1) 、 DA (N) がそのままパラレルに出力される。またテスト周期 TA に続く第 2 のテスト周期 TB ($TB = N \times TCY$) では、テストパターンデータ DB (1) 、 \dots 、 DB (N - 2) 、 DB (N - 1) 、 DB (N) がそのままパラレルに出力される。

【 0 2 1 1 】

変換 ON 信号 CON が高レベル H になり、各セクタ 4 7 6 の入力 B が出力 F

に接続されると、図 4 4 (g) に示すシリアルタイプのテストパターンデータ S-TPD が現れる。このシリアルタイプのテストパターンデータ S-TPD では、図 4 4 (h) に示すテスト周期信号 TCY に同期して、出力端子 OUT1 から OUTN の出力が、図 4 4 (g) に示すように、順次切り替えられる。図 4 4 (g) は、出力端子 OUT1 に現れるシリアルタイプのテストパターンデータ TPD S を例示しており、これは、テスト周期信号 TCY に同期して、第 1 のテスト周期 TA では、順次テストデータ DA (1)、DA (2)、・・・、DA (N-1)、DA (N) がシリアルに出力される。同様に、第 2 のテスト周期 TB では、テストデータ DB (1)、DB (2)、・・・、DB (N-1)、DB (N) が順次出力される。

【 0 2 1 2 】

この実施の形態 2-3 によれば、実施の形態 1 と同じ効果があり、加えて、BOST 制御部 40 がパラレルシリアル変換器 475 を持っているので、テストパターンデータをパラレルからシリアルに変換して出力することができ、シリアルなパターンデータを発生するためのテストパターンデータを TPM 部 50 に取り込む必要がなく、PG 部 60 もそのための記憶容量が削減できるとともに、シリアルタイプのテストパターンデータに基づくファンクションテストも可能であり、対応可能なファンクションテストの種類を、特別なテストパターンデータを取り込むことなく、実行できる。

【 0 2 1 3 】

実施の形態 2-4.

実施の形態 2-4 は実施の形態 2-1、実施の形態 2-2、実施の形態 2-3 を組み合わせたこの発明による半導体集積回路の試験装置の実施の形態である。図 4 5 はこの実施の形態 2-4 の構成を示す。この実施の形態 2-4 は、PG 部 60 と、プログラムカウンタ 410、または 410A と、レジスタグループ 430、460、465 と、データスクランブラ 471、472 と、セクタ 480 と、パラレルシリアル変換器 475 を有する。PG 部 60 は実施の形態 2-2 のように構成され、プログラムカウンタ 410、410A は実施の形態 2-1、2-2 のように構成される。レジスタグループ 430、460、465 と、データ

スクランブラ 4 7 1、4 7 2 は、実施の形態 2 - 2 のように構成される。パラレルシリアル変換器 4 7 5 は実施の形態 2 - 3 のように構成される。

【 0 2 1 4 】

セレクタ 4 8 0 は、N チャンネルの多チャンネルで構成され、それぞれのチャンネルに配置される。このセレクタ 4 8 0 は、P G 部 6 0 に接続された入力 A と、データスクランブラ 4 7 1、4 7 2 に接続された入力 B を、P G 部 6 0 からの制御信号 S によって切り替える。パラレルシリアル変換器 4 7 5 は、セレクタ 4 8 0 からのパラレルタイプのテストパターンデータ P - T P D を、必要に応じて、シリアルタイプのテストパターンデータ S - T P D に変換する。

【 0 2 1 5 】

この実施の形態 2 - 4 では、実施の形態 1 と同じ効果が得られ、加えて多種のテストパターンデータを発生することが可能となり、ディジタル回路に対する多種のファンクション試験に容易に対応できる。

【 0 2 1 6 】

実施の形態 2 - 5.

この実施の形態 2 - 5 は図 4 5 に示す各回路をプロセッサ P R S によってまとめて構成したものである。図 4 6 は、この実施の形態 2 - 6 の構成を示す。プロセッサ P R S は、図 4 5 に示す P G 部 6 0、T G 部 7 0、プログラムカウンタ 4 1 0、4 1 0 A、レジスタグループ 4 3 0、4 6 0、4 6 5、データスクランブラ 4 7 1、4 7 2、セレクタ 4 8 0、パラレルシリアル変換器 4 7 5 をまとめた機能を有する。このプロセッサ P R S は、C P U、D S P など構成される。

この実施の形態 2 - 5 では、実施の形態 2 - 4 と同じ効果を得ながら、しかも B O S T 装置 2 0 がより簡略化される。

【 0 2 1 7 】

実施の形態 2 - 6.

この実施の形態 2 - 6 は、T G 部 7 0 の機能を拡張し、タイミング条件可変できるように改良したこの発明による半導体集積回路の試験装置の実施の形態である。図 4 7 はこの実施の形態 2 - 6 による試験装置の全体の構成を示し、図 4 8 はその B O S T 制御部 4 0 と T G 部 7 0 と W F 部 8 0 と出力判定部 8 5 と D U T

・ B O S T I / F 部 9 5 の詳細な構成を示す。図 4 9 はこの実施の形態 2 - 6 の動作タイミングチャートである。

【 0 2 1 8 】

この実施の形態 2 - 6 の全体の構成を図 4 7 について説明するが、この全体の構成は図 1 に示す実施の形態 1 の全体の構成と類似している。この全体構成において、実施の形態 2 - 6 は T G 部 7 0 が B O S T 制御部 4 0 に対して、テスト周期信号 T C Y、ストローク信号 S T B に加え、セットクロック信号 S C L K とリセットクロック信号 R C L K も供給する。セットクロック信号 S C L K、リセットクロック信号 R C L K は、実施の形態 1 のクロック信号 C L K に代わって、作られる。その他の構成は、図 1 と同じであり、同じ部分を同じ符号で示し、説明を省略する。

【 0 2 1 9 】

図 4 8 の詳細回路も、図 2 の詳細回路と類似している。この詳細回路において、T G 部 7 0 はテスト周期信号発生回路 7 0 0 A と、セットクロック信号発生回路 7 1 0 A と、リセットクロック信号発生回路 7 1 0 B と、ストローク信号発生回路 7 1 5 A を含んでおり、これらの信号発生回路 7 0 0 A、7 1 0 A、7 1 0 B、7 1 5 A の構成が図 2 の詳細回路と相違している。加えて、B O S T 制御部 4 0 がメモリアドレスカウンタ 4 0 1、4 0 2 に加え、スタートトリガ発生回路 4 0 3 を有する。その他の構成は、図 2 の詳細回路と同じであり、同じ部分を同じ符号で示し、説明を省略する。

【 0 2 2 0 】

図 4 8 に示すテスト周期信号発生回路 7 0 0 A は、タイミングデータメモリ 7 2 0、一対のフリップフロップ 7 2 1 と 7 2 2、一対の遅延回路 7 2 3 と 7 2 4、一対の O R 回路 7 2 5 と 7 2 6、および O R 回路 7 2 7 を有する。タイミングデータメモリ 7 2 0 は、P G 部 6 0 からタイミンググループ信号 T G S を受ける。このタイミンググループ信号 T G S は、T P M 部 5 0 から P G 部 6 0 にダウンロードされたテストパターンデータ T P D から作られる。このタイミンググループ信号 T G S は、テスト周期信号 T C Y にタイミング可変機能を付与する。タイミングデータメモリ 7 2 0 は、図 4 9 (b) に示すタイミングデータ信号 T D S

を発生する。このタイミングデータ信号TDSは、メモリアドレスカウンタ402がPG部60に供給するメモリアドレス信号（図49の図（a）に示す）に基づいて、タイミングデータメモリ720から読み出される。

【0221】

フリップフロップ721、722はそれぞれタイミングデータ信号TDSを受ける入力Dと、遅延回路723、724に接続された出力Qと、クロック入力Cを有する。遅延回路723、724はin端子、Out端子と制御入力Sを有し、フリップフロップ721、722の出力Qはそれぞれ遅延回路723、724の制御入力Sに接続される。遅延回路723、724のOut端子はOR回路727の各入力に接続され、このOR回路727の出力がテスト周期信号TCYとなる。OR回路725は単に1つの入力を持ったOR回路であり、この入力は遅延回路724のOut端子に接続され、OR回路725の出力は遅延回路723のin端子に接続される。OR回路726は2つの入力を持ち、その1つの入力には、スタートトリガ発生回路403からのスタートトリガ信号STSを受け、そのもう1つの入力は遅延回路723のOut端子に接続されている。

【0222】

テスト周期信号発生回路700Aは、スタートトリガ信号STSを受けて動作し、遅延回路723、724による遅延時間の後に、テスト周期信号TCYを発生する。この遅延時間は、タイミングデータメモリ720からのタイミングデータ信号TDSによって可変とされる。テスト周期信号TCYはメモリアドレスカウンタ401に供給されるほか、セットクロック信号発生回路710A、リセットクロック信号発生回路710Bおよびストローブ信号発生回路715Aにも供給される。

【0223】

セットクロック信号発生回路710A、リセットクロック信号発生回路710Bおよびストローブ信号発生回路715Aは、テスト周期信号発生回路700Aと同じに構成され、それぞれタイミングデータメモリ720、一对のフリップフロップ721、722、一对の遅延回路723、724、およびOR回路725、726、727を有する。

セットクロック発生回路 7 1 0 A は、テスト周期信号 T C Y を受けて動作し、遅延回路 7 2 3、7 2 4 による遅延時間後に、セットクロック信号 S C L K を発生する。このセットクロック信号 S C L K は図 4 9 (d) に示されており、テスト周期信号 T C Y からの遅延時間 t_{sc0} 、 t_{sc1} 、 \dots 、 t_{sc6} を持っている。これらの遅延時間は、テスト周期信号 T C Y の各サイクルにおいて可変であり、これらの各サイクルの遅延時間 t_{sc0} 、 t_{sc1} 、 \dots 、 t_{sc6} は、セットクロック信号発生回路 7 1 0 A に内蔵されたタイミングデータメモリ 7 2 0 で調整される。このタイミングデータメモリ 7 2 0 には、タイミンググループ信号 T G S が与えられる。

【 0 2 2 4 】

リセットクロック信号発生回路 7 1 0 B は、テスト周期信号 T C Y を受けて動作し、遅延回路 7 2 3、7 2 4 による遅延時間後に、リセットクロック信号 R C L K を発生する。このリセットクロック信号 R C L K は図 4 9 (e) に示されており、テスト周期信号 T C Y からの遅延時間 t_{rc0} 、 t_{rc1} 、 \dots 、 t_{rc6} を持っている。これらの遅延時間は、テスト周期信号 T C Y の各サイクルにおいて可変であり、これらの各サイクルの遅延時間 t_{rc0} 、 t_{rc1} 、 \dots 、 t_{rc6} は、リセットクロック信号発生回路 7 1 0 B に内蔵されたタイミングデータメモリ 7 2 0 で調整される。このタイミングデータメモリ 7 2 0 には、タイミンググループ信号 T G S が与えられる。

同様に、ストロブ信号発生回路 7 1 5 A は、テスト周期信号 T C Y を受けて動作し、遅延回路 7 2 3、7 2 4 による遅延時間後に、ストロブ信号 S T B を発生する。このストロブ信号 S T B は図 4 9 (f) に示されており、テスト周期信号 T C Y からの遅延時間 t_{st0} 、 t_{st1} 、 \dots 、 t_{st6} を持っている。これらの遅延時間は、テスト周期信号 T C Y の各サイクルにおいて可変であり、これらの各サイクルの遅延時間 t_{st0} 、 t_{st1} 、 \dots 、 t_{st6} は、ストロブ信号発生回路 7 1 5 A に内蔵されたタイミングデータメモリ 7 2 0 で調整される。このタイミングデータメモリ 7 2 0 には、タイミンググループ信号 T G S が与えられる。

【 0 2 2 5 】

図 4 9 に示す実施の形態 2 - 6 の動作タイミングチャートにおいて、図 (i) に示すテスト出力パターン信号 T O P は、図 4 9 (h) に示すテストパターン信号 T P S が 1 のときにはセットクロック信号 S C L K で高レベル H となり、リセットクロック信号 R C L K で低レベル L となる。またこのテスト出力パターン信号 T O P は、テストパターン信号 T P S が 0 のときにはセットクロック信号 S C L K でも低レベル L を維持する。このテスト出力パターン信号 T O P のタイミングは、セットクロック信号 S C L K およびリセットクロック信号 R C L K のタイミングを可変とすることによって可変にできる。テスト入力パターン信号 T I P についても同様である。また、図 4 9 (g) に示すテスト入力・判定パターン信号 J P S が判定状態であるときに、ストロブ信号 S T B により出力判定回路 8 5 による判定が実施されるが、このストロブ信号 S T B のタイミングも可変である。

【 0 2 2 6 】

このように、実施の形態 2 - 6 では、テスト入力パターン信号 T I P およびテスト出力パターン信号 T O P のタイミングを可変とし、また出力判定のためのストロブ信号 S T B のタイミングも可変することができ、ディジタル回路に対する多種のファンクション試験に対応して、より実効的な試験が可能となる。

【 0 2 2 7 】

実施の形態 2 - 7.

この実施の形態 2 - 7 は、出力判定部 8 5 におけるテストパターン信号 T P S と、D U T ・ B O S T I / F 部 9 5 におけるテスト入力パターン信号 T I P の電圧レベルを可変としたこの発明のよる半導体集積回路の試験装置の実施の形態である。図 5 0 はこの実施の形態 2 - 7 における出力判定部 8 5 と D U T ・ B O S T I / F 部 9 5 の詳細を示す。

【 0 2 2 8 】

まず、D U T ・ B O S T I / F 部 9 5 は、ドライバ 9 6 5 と、高レベル側電圧発生器 9 6 6 と、低レベル側電圧発生器 9 6 7 と、入出力切替スイッチ 9 6 8 と、判定用高レベル側コンパレータ 9 6 9 と、判定用低レベル側コンパレータ 9 7 0 と、判定用高レベル側電圧発生器 9 7 1 と、判定用低レベル側電圧発生器 9

7 2 とを有する。高レベル側電圧発生器 9 6 6、低レベル側電圧発生器 9 6 7、判定用高レベル側電圧発生器 9 7 1、および判定用低レベル側電圧発生器 9 7 2 は、それぞれデジタルアナログコンバータ (D A C) によって構成される。

【 0 2 2 9 】

ドライバ 9 6 5 は、I N 端子と O U T 端子と V h 端子と V l 端子を有する。このドライバ 9 6 5 の I N 端子には、W F 部 8 0 からのテスト入力パターン信号 T I P が供給され、その V H 端子には高レベル側電圧発生器 9 6 6 から高レベル電圧 V H が供給され、またその V l 端子には低レベル側電圧発生器 9 6 7 から低レベル電圧 V L が供給される。ドライバ 9 6 5 の O U T 端子は入出力切替スイッチ 9 6 8 に接続される。高レベル側電圧発生器 9 6 6 は、高レベル電圧 V H を可変して供給し、低レベル側電圧発生器 9 6 7 は低レベル電圧 V L を可変して供給できる。したがって、ドライバ 9 6 5 の O U T 端子では、テスト入力パターン信号 T I P の高レベル電圧 V H と、低レベル電圧 V L を変化することができ、このテスト入力パターン信号 T I P が入出力切替スイッチ 9 6 8 を経て D U T 1 0 に供給される。入出力切替スイッチ 9 6 8 は、D U T 1 0 へテスト入力パターン信号 T I P を供給するときにオンとなり、出力判定部 8 0 がテストパターン信号 T P S によりテスト出力パターン信号 T O P を判定するときにオフとなる。

【 0 2 3 0 】

判定用高レベル側コンパレータ 9 6 9 は、+入力と、-入力と、O U T 端子を有し、+入力と-入力を反転比較する。このコンパレータ 9 6 9 の+入力には、判定用高レベル側電圧発生器 9 7 1 から判定用高レベル電圧 V O H が供給され、またその-入力は入出力切替スイッチ 9 6 8 の出力側に接続され、テスト出力パターン信号 T O P または入出力切替スイッチ 9 6 8 から出力されるテスト入力パターン信号 T I P が V I N として供給される。判定用低レベル側コンパレータ 9 7 0 も、+入力と-入力と O U T 端子を有し、+入力と-入力を非反転比較する。このコンパレータ 9 7 0 の+入力には、テスト出力パターン信号 T O P または入出力切替スイッチ 9 6 8 から出力されるテスト入力パターン信号 T I P が V I N として供給され、またその-入力には、判定用低レベル側電圧発生器 9 7 2 から判定用低レベル電圧 V O L が供給される。

判定用高レベル側コンパレータ 9 6 9 は、 V_{IN} が V_{OH} よりも高いか、低いかを検出するもので、 $V_{IN} > V_{OH}$ であれば正常と判断して、その出力は低レベル L となり、 $V_{IN} < V_{OH}$ であればエラーと判断して、その出力は高レベル H となる。また判定用低レベル側コンパレータ 9 7 0 は、 V_{IN} が V_{OL} よりも低いか、高いかを検出するもので、 $V_{IN} < V_{OL}$ であれば正常と判断して、その出力は低レベル L となり、 $V_{IN} > V_{OL}$ であればエラーと判断して、その出力は高レベル H となる。

【 0 2 3 1 】

出力判定部 8 5 は、3 つの AND 回路 8 6 0、8 6 1、8 6 2 と、NAND 回路 8 6 3 と、フリップフロップ 8 6 4 と、デコーダ回路 8 6 5 を有する。NAND 回路 8 6 3 はコンパレータ 9 6 9、9 7 0 の出力を 2 つの入力端子に受ける。AND 回路 8 6 0、8 6 1 はそれぞれ 3 つの入力端子を有する。AND 回路 8 6 2 は 2 つの入力端子を有する。AND 回路 8 6 0 の 1 つの入力は判定用低レベル側コンパレータ 9 7 0 の OUT 端子に接続され、もう 1 つの入力には判定パターン信号 T P S が与えられる。AND 回路 8 6 1 の 1 つの入力は判定用高レベル側コンパレータ 9 6 9 の OUT 端子に接続され、もう 1 つの入力にはテストパターン信号 T P S が与えられる。NAND 回路 8 6 3 の 2 つの入力は、それぞれ判定用高レベル側コンパレータ 9 6 9 の OUT 端子と、判定用低レベル側コンパレータ 9 7 0 の OUT 端子に接続され、この NAND 回路 8 6 3 の出力は AND 回路 8 6 2 の 1 つの入力に接続される。フリップフロップ 8 6 4 は AND 回路 8 6 0、8 6 1、8 6 2 の各出力端子に接続される 3 つの入力 D 1、D 2、D 3 と、それらに対応する 3 つの出力 Q 1、Q 2、Q 3 を有する。出力 Q 1 は高レベル側エラーデータ信号 H E S を出力し、出力 Q 2 は低レベル側エラーデータ信号 L E S を出力し、出力 Q 3 は高低レベル間エラーデータ信号 H L E S を出力する。

【 0 2 3 2 】

デコーダ回路 8 6 5 は、出力 A 0、A 1、B 0 を有し、また P G 部 6 0 から入出力切替制御信号 S 0 - S 2 を受ける。出力 A 0 は AND 回路 8 6 0 のもう 1 つの入力に接続され、出力 A 1 は AND 回路 8 6 1 のもう 1 つの入力に接続され、また出力 B 0 は AND 回路 8 6 2 のもう 1 つの入力に接続される。これらの出力

A 0、A 1によって、AND回路 8 6 0、8 6 1、8 6 2の動作状態が制御され、また出力B 0によって入出力切替スイッチ 9 6 8の切替が行なわれる。デコーダ回路 8 6 5の出力A 0、A 1、B 0は、制御信号S 0 - S 2に応じて次のようになる。

【 0 2 3 3 】

まずS 0 = 0、S 1 = 0、S 2 = 0であれば、出力A 0 = L、出力A 1 = L、B 0 = Hとなる。すなわち、出力A 0、A 1はともに低レベルLとなり、AND回路 8 6 0、8 6 1、8 6 2による判定は停止される。出力B 0は高レベルHとなり、入出力切替スイッチ 9 6 8をオンにし、テスト入力パターン信号T I PがD U T 1 0に供給される。

S 0 = 1、S 1 = 0、S 2 = 0のときには、出力A 0 = H、A 1 = L、B 0 = Lとなる。すなわち、出力A 0が高レベルHとなることにより、AND回路 8 6 0、8 6 1による判定が実行され、コンパレータ 9 6 9、9 7 0の出力とテストパターン信号T P Sの判定が行なわれる。すなわち、テストパターン信号T P Sが高レベルHのときに、コンパレータ 9 6 9、9 7 0の出力の判定が行なわれ、コンパレータ 9 6 9の出力が高レベルHであれば、高レベル側エラーデータ信号H E Sが高レベルHとなり、またコンパレータ 9 7 0の出力は高レベルHであれば、低レベル側エラーデータ信号L E Sが高レベルHとなる。出力A 1が低レベルLであるので、AND回路 8 6 2による判定は停止している。出力B 0が低レベルLであるので、入出力切替スイッチ 9 6 8はオフとなり、D U T 1 0からのテスト出力パターン信号T O Pがコンパレータ 9 6 9、9 7 0に取り込まれる。

【 0 2 3 4 】

S 0 = 0、S 1 = 1、S 2 = 0のときには、出力A 0 = L、A 1 = H、B 0 = Lとなる。このときには、AND回路 8 6 0、8 6 1による判定は停止され、AND回路 8 6 2による判定が実行される。このAND回路 8 6 2による判定はテストパターン信号T P Sとテスト出力パターン信号T O Pの高レベル側と低レベル側の間の判定であり、もしエラーがあれば、高低レベル間エラーデータ信号H L E Sは高レベルとなる。出力B 0が低レベルLであり、入出力切替スイッチ 9 6 8はオフとなり、D U T 1 0からのテスト出力パターン信号T O Pがコンパレ

ータ 9 6 9、9 7 0 に取り込まれる。

【 0 2 3 5 】

S 0 = 1、S 1 = 1、S 2 = 0 のときには、出力 A 0 = H、A 1 = L、B 0 = H となる。このときには、AND 回路 8 6 0、8 6 1 による判定は実行されるが、入出力切替スイッチ 9 6 8 がオンとされるので、テスト入力パターン信号 T I P がコンパレータ 9 6 9、9 7 0 に取り込まれ、結果としてドライバ 9 6 5 が自己判定される。

S 0 = 1、S 1 = 1、S 2 = 1 のときには、出力 A 0 = L、A 1 = H、B 0 = H となる。このときには、AND 回路 8 6 0、8 6 1 による判定は停止され、AND 回路 8 6 2 による判定が実行されるが、入出力切替スイッチ 9 6 8 がオンとされるので、テスト入力パターン信号 T I P がコンパレータ 9 6 9、9 7 0 に取り込まれ、結果としてドライバ 9 6 5 が自己判定される。

【 0 2 3 6 】

この実施の形態 2 - 7 によれば、実施の形態 1 と同じ効果が得られる上に、テスト入力パターン信号 T I P の電圧レベルを可変とし、またテスト出力パターン信号 T O P に対する判定用電圧レベルを可変とすることができ、ディジタル回路に対する多種のファンクション試験を、電圧レベルを変えながら、効果的に実行できる。

【 0 2 3 7 】

実施の形態 2 - 8。

この実施の形態 2 - 8 は、実施の形態 2 - 7 に対応して高レベル側エラーデータ信号 H E S、低レベル側エラーデータ信号 L E S、および高低レベル間エラーデータ信号 H L E S を取り込むように改良したこの発明による半導体集積回路の試験装置の実施の形態である。図 5 1 はこの実施の形態 2 - 8 による出力判定部 8 5 と、エラー情報メモリ部 9 0 の構成を示す。

【 0 2 3 8 】

この実施の形態 2 - 8 では、B O S T 装置 2 0 の出力判定部 8 5 は、図 5 1 に示すように、さらに O R 回路 8 6 6 を有する。この O R 回路 8 6 6 は 3 つの入力を有し、これらの 3 つの入力がそれぞれフリップフロップ 8 6 4 の出力 Q 1、Q

2、Q 3 に接続されている。この O R 回路 8 6 6 の出力はパルス発生回路 8 5 4 に接続され、このパルス発生回路 8 5 4 の出力はインバータ回路 8 5 5 を介して、エラー情報メモリ部 9 0 の書き込み端子 W R に接続されている。フリップフロップ 8 6 4 の出力 Q 1、Q 2、Q 3 からの高レベル側エラーデータ信号 H E S、低レベル側エラーデータ信号 L E S、高低レベル間エラーデータ信号 H L E S は、エラー情報メモリ部 9 0 の D A T A 端子に供給される。

【 0 2 3 9 】

この実施の形態 2 - 8 によれば、高レベル側エラーデータ信号 H E S、低レベル側エラーデータ信号 L E S、高低レベル間エラーデータ信号 H L E S が高レベル H になる度に、パルス発生回路 8 5 4 がメモリライト信号 M W R を発生し、これがインバータ回路 8 5 5 を経由して書き込み端子 W R に供給されるので、高レベル側エラーデータ信号 H E S、低レベル側エラーデータ信号 L E S、高低レベル間エラーデータ信号 H L E S が高レベル H になる度に、これらのエラーデータがメモリアドレス信号 M A D とともにエラー情報メモリ部 9 0 に記憶される。C P U 部 3 3 は、このエラー情報メモリ部 9 0 の記憶情報を読み出し、D U T 1 0 のエラー解析を行なう。

【 0 2 4 0 】

この実施の形態 2 - 8 では、実施の形態 1 と同じ効果を得た上で、さらに高レベル側エラーデータ信号 H E S、低レベル側エラーデータ信号 L E S、高低レベル間エラーデータ信号 H L E S を記憶することにより、エラー情報を充実させ、エラー解析能力を向上し、そのロジックアナライザ機能を充実させることができる。

【 0 2 4 1 】

続いて、B O S T 装置 2 0 に対し、P C カードなどの着脱可能な記憶媒体を組み合わせるタイプのこの発明による半導体集積回路の試験装置の実施の態様 3 - 1 から 3 - 6 について説明する。これらの実施の形態 3 - 1 から 3 - 6 は、実施の形態 1 の機能を持った上に、それぞれこれから説明する構成、機能を付加して構成される。これらの実施の形態 3 - 1 から 3 - 6 も、この発明による半導体集積回路の製造方法に含まれる試験工程において、使用される。

実施の形態 3 - 1 .

図 5 2 は T P M 部 5 0 に、着脱可能な記憶媒体を組み合わせるタイプの実施の形態 3 - 1 を示す。図 5 2 (a) はその組合わせによる B O S T 装置 2 0 の 1 つの実施態様を示し、図 5 2 (b) は組み合わせる記憶媒体の他の実施態様を示し、図 5 2 (c) は記憶媒体を組み合わせる回路基板を増設した B O S T 装置 2 0 の他の実施態様を示し、また図 5 2 (d) は記憶媒体の組合せによる B O S T 装置 2 0 の他の実施態様を示す。

【 0 2 4 2 】

この実施の形態 3 - 1 では、図 1 1、図 1 2 に示した実施の形態 1 - 7 に対して、着脱可能な記憶媒体が組み合わされる。図 5 2 (a) の実施態様では、図 1 1、1 2 に示した回路基板 2 1 5 に着脱可能な記憶媒体 2 3 0 が組み合わせた B O S T 組立 2 1 0 K が構成される。この着脱可能な記憶媒体 2 3 0 としては、P C カード A T A 仕様の P C カード、コンパクトフラッシュ（登録商標）メモリ、スマートメディア、ミニチュアカード、マルチメディアカード、メモリスティックなど、I / F 規格が標準化されていて、着脱可能な記憶媒体が使用される。図 5 2 (a) に示す B O S T 組立 2 1 0 K では、回路基板 2 1 5 の一面に、カード挿入スロットを有する保持部材 2 3 1 が取り付けられる。この保持部材 2 3 1 には、記憶媒体 2 3 0 として P C カードが使用され、これが着脱可能に保持される。この P C カードからなる記憶媒体 2 3 0 は、B O S T 装置 2 0 の T P M 部 5 0 のメモリを構成する。この P C カードからなる記憶媒体 2 3 0 は、それ自体で T P M 部 5 0 のメモリをすべて構成するようにすることもできるが、回路基板 2 1 5 に T P M 部 5 0 の半導体メモリが搭載され、この P C カードからなる記憶媒体 2 3 0 が T P M 部 5 0 の記憶容量を増大させるように、加えられる形式も採用できる。一般に、P C カードは、低速であるが、小型、大容量の記憶媒体であり、とくにこの発明による B O S T 装置 2 0 の T P M 部 5 0 を構成するメモリに適している。

【 0 2 4 3 】

図 5 2 (a) に示す B O S T 組立 2 1 0 K では、P C カードからなる記憶媒体 2 3 0 が直接的に保持部材 2 3 1 に挿入されるが、図 5 2 (b) に示すように、

カードアダプタ 2 3 2 が用意され、このカードアダプタ 2 3 2 に、記憶媒体 2 3 0 が着脱可能に取り付けられるように構成することも可能である。この図 5 2 (b) の実施態様では、カードアダプタ 2 3 2 が保持部材 2 3 1 に着脱可能に挿入される。この図 5 2 (b) の実施態様では、記憶媒体 2 3 0 として、コンパクトフラッシュ（登録商標）メモリ、スマートメディアなどが適している。

【 0 2 4 4 】

図 5 2 (c) の実施態様は、回路基板 2 1 5 に対して保持部材 2 3 1 を設けるとともに、さらにこの回路基板 2 1 5 に隣接して、回路基板 2 1 5 A を増設した B O S T 組立 2 1 0 L を使用する。結果として、この図 5 2 (c) の B O S T 組立 2 1 0 L では、5 枚の回路基板 2 1 1 から 2 1 5 に、さらに 1 枚の増設回路基板 2 1 5 A が加えられる。この増設回路基板 2 1 5 A は、例えば回路基板 2 1 5 と平行に配置され、この増設回路基板 2 1 5 A にも保持部材 2 3 1 が設けられ、図 5 2 (a) に示す P C カードからなる記憶媒体 2 3 0 または図 5 2 (b) に示すカードアダプタ 2 3 2 が挿入される。

【 0 2 4 5 】

図 5 2 (d) の B O S T 組立 2 1 0 M では、回路基板 2 1 5 に、比較的小さな寸法の保持部材 2 3 1 A が設けられる。この保持部材 2 3 1 A には、図 5 2 (b) に示す比較的小さな記憶媒体 2 3 0 が着脱可能に挿入される。

【 0 2 4 6 】

図 5 3 は実施の形態 3 - 1 に基づく B O S T 組立 2 1 0 N を示す側面図である。この B O S T 組立 2 1 0 N は、回路基板 2 1 5 A、2 1 5 B が増設され、これらの増設回路基板 2 1 5 A、2 1 5 B のそれぞれに保持部材 2 3 1 が付設されている構成を除き、他の構成は図 1 1、1 2 に示す B O S T 組立 2 1 0 B と基本的に同じである。回路基板 2 1 3、2 1 4、2 1 5、2 1 5 A、2 1 5 B が回路基板 2 1 1、2 1 2 と垂直に配置される。回路基板 2 1 5 A、2 1 5 B には、それぞれ記憶媒体 2 3 0 に対するコネクタ 2 3 3 が付設されている。

【 0 2 4 7 】

図 5 4 は記憶媒体 2 3 0 に対して、テストパターンデータ T P D を書き込む場合のシステム構成例を示す。図 5 4 (a) では、パーソナルコンピュータ端末 1

5 が使用され、この端末 1 5 に記憶媒体 2 3 0 を挿入した状態で、記憶媒体 2 3 0 にテストパターンデータ T P D が書き込みされる。テストパターンデータ T P D の書き込みが終了した記憶媒体 2 3 0 が B O S T 装置 2 0 の保持部材 2 3 1、2 3 1 A に挿入される。

図 5 4 (b) では、B O S T 装置 2 0 の保持部材 2 3 1、2 3 1 A に、記憶媒体 2 3 0 を挿入した状態で、パーソナルコンピュータ端末 1 5 から記憶媒体 2 3 0 にテストパターンデータ T P D の書き込みが行なわれる。この場合には、I / F 部 1 7 を経由して、記憶媒体 2 3 0 へのテストパターンデータ T P D の書き込みが行なわれる。

【 0 2 4 8 】

この実施の形態 3 - 1 によれば、B O S T 装置 2 0 を構成する回路基板に、P C カードなどの記憶媒体 2 3 0 を着脱可能に取り付け、この記憶媒体 2 3 0 を用いて、T P M 部 5 0 を構成したので、T P M 部 5 0 の記憶容量を簡単に増大することができ、この記憶媒体 2 3 0 により多くのテストパターンデータを記憶し、B O S T 装置 2 0 による試験機能を増強することができる。加えて、記憶媒体 2 3 0 は着脱可能であり、この記憶媒体 2 3 0 を別の端末などに挿入して、テストパターンデータを記憶させることもでき、B O S T 装置 2 0 を使わずに、簡便に、テストパターンデータの記憶を行なうこともできる。

【 0 2 4 9 】

実施の形態 3 - 2 .

この実施の形態 3 - 2 は、P G 部 6 0 にデュアルポートメモリを使用し、T P M 部 5 0 からのテストパターンデータ T P D のダウンロードを、P G 部 6 0 からのテストパターン信号 T P S、テスト入力・判定パターン信号 J P S の読み出しと同時に進めることができるように改良したこの発明による半導体集積回路の試験装置の実施の形態である。この実施の形態 3 - 2 では、着脱可能な記憶媒体 2 3 0 が使用され、とくに P C カード A T M 仕様に基づく P C カードが記憶媒体 2 3 0 として使用される。図 5 5 はこの実施の形態 3 - 2 による B O S T 制御部 4 0 と、T P M 部 5 0 と、P G 部 6 0 の信号入出力システムを示す。また図 5 6 は図 5 5 に示す信号入出力システムの詳細を示す。

【 0 2 5 0 】

この発明では、ディジタル回路に対する複数のテスト項目に対応した複数のテストパターンデータTPDがTMP部50に記憶され、この複数のテストパターンデータの中から実行テストパターンに対応したテストパターンデータがPG部60にダウンロードされる。この構成により、BOST装置20nにより、簡単にしかも効率的なディジタル回路のテストを実行できる。しかし、TPM部50からPG部60への実行テストパターンデータのダウンロードには時間がかかる。この実施の形態3-2では、PG部60にデュアルポートメモリを使用し、PG部60への実行テストパターンデータのダウンロードを、PG部60からのテストパターンデータTPDの読み出し動作中に、並行して実施できるようにして、ダウンロードにかかる時間を実効的に減少する。

【 0 2 5 1 】

PG部60は、図55に示すように、デュアルポートメモリ620を有する。このPG部60は、多チャンネル構成とされ、例えば1チャンネル当たり32キロバイトとし、0から15チャンネルの16のチャンネルを構成する。

各チャンネルのデュアルポートメモリ620は、2つの入出力ポート621、622を有する。入出力ポート621は左ポート（Lポート）、入出力ポート622は右ポート（Rポート）である。これらの左ポート621、右ポート622は、それぞれ4つのポートPO1からPO4を含む。ポートPO1は読み出し書き込み信号R/Wの入力ポートであり、ポートPO2はデータ信号DQの入出力ポートであり、ポートPO3はアドレス信号ADDの入力ポートであり、ポートPO4はクロックCLKの入力ポートである。

【 0 2 5 2 】

BOST制御部40は、PG部60との間で信号のやり取りを行ない、またTPM部50を構成する記憶媒体230との間で信号のやり取りを行なう。この記憶媒体230は、この実施の形態3-2では、PCカードATA仕様のPCカード230Aであり、信号はPCカードATA仕様に規定された信号となる。BOST制御部40からPCカード230Aへ供給される信号は、信号A[0..10]、カード選択信号/CE1/CE2、アトリビュート領域およびタスクファ

イル領域のレジスタ制御信号／OE、ATASEL信号、アトリビュート領域およびタスクファイル領域のレジスタ入力信号／WE、タスクファイル領域のレジスタのデータ出力信号IOR_D、タスクファイル領域のレジスタのデータ入力信号IOW_R、タスクファイル領域へのアクセス信号／REG、RESET、／RESET信号、CSEL信号を含む。

【0253】

BOST制御部40とPCカード230Aとの間で双方向にやり取りされる信号は、D[0..15]、BVD1信号、／STSCHG、／PDIAG信号、BVD2信号、／SPKR、／DASP信号を含む。PCカード230AからBOST制御部40へ供給される信号は、RDY、／BSY信号、／IREQ、／INTRQ信号、ライトプロテクト信号WP、／IOIS16信号、／INPAC信号、／WAIT信号、IORDY信号、電源電圧設定信号／VS1、／VS2、カード検出信号／CD1、／CD2を含む。

BOST制御部40にはCPU部33と、PCカードATA I/F17が接続される。

【0254】

図56では、実施の形態3-2におけるBOST制御部40とCPU部33の詳細が示される。このBOST制御部40は、外部／内部信号切替回路480、アトリビュートアクセス回路とタスクファイルアクセス回路481、リセット生成回路482、カード装着検出回路483、R／W制御回路484、アドレス発生回路485、アドレスコマンド発生回路486、クロック回路487、割り込みフラグ制御回路488を有する。CPU部33は、CPU330とOR回路331を有する。

【0255】

外部／内部信号切替回路480は、BOST制御部40の外部のPCカードATA I/F17と、BOST制御部40の内部回路との切替を行なう。アドレスコマンド発生回路486はCPU330およびアドレス発生回路485と信号のやり取りを行ない、外部／内部信号切替回路480に信号A[0..10]、A[1..10]を供給し、またデュアルポートメモリ620のLポートのポー

トPO3に信号ADD[0..14]を供給する。アドレス発生回路485はデュアルポートメモリ620のRポートのポートPO3に信号A[0..14]を供給する。R/W制御回路484はデュアルポートメモリ620のRポートのポートPO1に読み出し書き込み信号R/Wを供給する。テスト周期信号TCYは、R/W制御回路484、アドレス発生回路485に供給され、またデュアルポートメモリ620のRポートのポートPO4にクロックCLKを供給する。外部/内部信号切替回路480は、信号DQ[0..15]をデュアルポートメモリ620のR、LポートのポートPO2に供給する。

【0256】

アトリビュート回路およびタスクファイルアクセス回路481は、デュアルポートメモリ620のLポートのポートPO4、PO1にそれぞれクロックCLK、読み出し書き込み信号R/Wを供給する。またこのアトリビュート回路およびタスクファイルアクセス回路481は、CPU330との間で信号のやり取りを行ない、外部/内部信号切替回路480に、信号A0、信号/REG、/CE1、/CE2、/OE、/WE、/IORD、/IOWR信号を供給する。リセット生成回路482はRESET信号を供給する。カード装着検出回路483には、信号/CD1、/CD2が与えられ、このカード装着検出回路483の出力は割り込みフラグ制御回路488に供給される。この割り込みフラグ制御回路488には他にRDY、/BSY信号とアドレスコマンド信号が供給される。この割り込みフラグ制御回路488の出力（反転出力）はOR回路331に供給される。

【0257】

図56に示すBOST制御部40とPG部60を構成するデュアルポートメモリ620は、1枚の回路基板490に搭載される。この回路基板490は、チャンネル0から15のそれぞれについて同様に構成され、各回路基板490のデュアルポートメモリ620からテストパターンデータTPDが読み出される。

【0258】

図57は実施の形態3-2により、TMP部50からPG部60へテストパターンデータTPDを転送し、PG部60でテストパターン信号TPSとテスト入

力・判定パターン信号JPSを発生させ、DUT10の試験を行なう基本手順を示すフローチャートである。

【0259】

この図57のフローチャートは、開始から終了までの間に、13のステップS10からS22を含む。これらのステップS10からS22は、すべてシリーズに実行される。開始直後、ステップS10では、テスト18からBOST装置20のCPU部33に、BOST通信I/F部30を経由して、実行するテストに該当するテストコードTCDが送信される。次のステップS11では、BOST装置20のCPU部33は、READY/BUSYフラグ信号を低レベルLから高レベルHとし、このREADY/BUSYフラグ信号をテスト18へ送信する。CPU部33は、次のステップS12において、受信したテストコードTCDに基づき、BOST制御部40を介してBOST装置20の各回路部分に初期設定を行なう。次のステップS13では、BOST制御部40はCPU部33の指示により、TPM部50からPG部60へ、実行するテストコードTCDに対応するテストパターンデータTPDを転送する。

【0260】

ステップS13では、BOST制御部40からCPU部33へ、テストパターンデータTPDの転送完了を伝える。次のステップS15では、CPU部33はREADY/BUSYフラグ信号を高レベルHから低レベルLに戻し、これをBOST通信I/F部30を経由してテスト18に通信する。テスト18は、このREADY/BUSYフラグ信号の受信に基づき、ステップS16において、測定スタート信号MSTをCPU部33へ送信する。次のステップS17では、CPU部33は再びREADY/BUSYフラグ信号を低レベルLから高レベルHとし、このREADY/BUSYフラグ信号をテスト18に伝達するとともに、BOST制御部40に対し、PG部60からのテストパターンデータTPDの読み出しを指示する。

【0261】

この読み出し指示により、ステップS18では、BOST制御部40はPG部60から実行するテストパターンデータTPDの読み出しを行ない、PG部60

はその読み出しによってテストパターン信号TPSおよびテスト入力・判定パターン信号JPSを発生する。このテストパターン信号TPSはWF部80においてテスト入力パターン信号TIPに整形され、DUT・BOST I/F部95を経由してDUT10に送られ、DUT10のテストが実行される。ステップS19では、出力判定部85がDUT10からのテスト出力パターン信号TOPを、テストパターン信号TPSを用いて判定し、エラーが発生する毎に、そのエラー情報がエラー情報メモリ90に記憶される。次のステップS20では、エラー情報がエラー情報メモリ90からCPU部33へ読み出され、判定、解析される。ステップS21では、CPU部33はREADY/BUSYフラグ信号を高レベルHから低レベルLに変化させ、これをBOST通信I/F部30をテスト18に伝達する。CPU部33は、続いてステップS22において、エラー情報の解析によって得られたエラーコードECDをテスト18に送信する。

【0262】

図58は、図57のステップS13におけるTPM部50からPG部60へのテストパターンデータTPDの転送と、ステップS18におけるPG部60からのテストパターンデータTPDの読み出し動作の詳細を示す。図58の上部には、(1)PCカード読み出し動作を示す。このPCカード読み出し動作は、PCカード230AからのテストパターンデータTPDの読み出し動作を示し、その下の(2)PG書き込み動作は、PCカード230Aから読み出されたテストパターンデータTPDのデュアルポートメモリ620への書き込み動作を示し、さらにその下の(3)PG読み出し動作は、デュアルポートメモリ620からのテストパターンデータTPDの読み出し動作を示す。

【0263】

図58の(1)PCカード読み出し動作では、図(a)にPCカード230Aに対する信号A[0..10]を、図(b)にカード選択信号/CE1信号を、図(c)にカード選択信号/CE2を、図(d)にタスクファイル領域のレジスタのデータ出力制御信号/IORDを、図(e)にタスクファイル領域のレジスタのデータ入力制御信号IOWRを、図(f)に信号D[0..15]を、また図(g)に/IREQ信号をそれぞれ示す。また、図58の(2)PG書き込み

動作と (3) P G 読み出し動作では、それぞれ図 (a) にクロック C L K を、図 (b) に読み出し書き込み信号 R / W を、図 (c) に信号 A [0 . . 1 4] を、また図 (d) に、信号 D Q [0 . . 1 5] を示す。

【 0 2 6 4 】

図 5 8 の (1) P C 読み出し動作について説明する。この P C 読み出し動作は、図 5 8 の上部に示すステップ S 1 0 1 から S 1 0 9 のステップで実行される。まずステップ S 1 0 1 では、セクタ転送を開始するシリンダ番号の下位 8 ビットが設定される。これは例えば、A [0 . . 1 0] = 4 h に対応して実行される。次のステップ S 1 0 2 では、セクタ転送を開始するシリンダ番号の上位 8 ビットが設定される。これは例えば、A [0 . . 1 0] = 5 h に対応して実行される。次のステップ S 1 0 3 では、カードのドライブ番号およびセクタ転送を開始するヘッド番号が設定され、これは例えば、A [0 . . 1 0] = 6 h に対応して実行される。ステップ S 1 0 4 では、セクタ転送を開始するセクタ番号が設定され、これは例えば、A [0 . . 1 0] = 3 h に対応して実行される。

【 0 2 6 5 】

ステップ S 1 0 5 では、ホストとカード間で、リード / ライト転送するセクタ数が設定される。これら例えば、A [0 . . 1 0] = 2 h に対応して実行され、D [0 . . 1 5] = “ 0 0 h ” : 2 5 6 回、“ 0 1 h ” : 初期値と設定される。これは 2 5 6 回の読み出しを設定することを意味する。ステップ S 1 0 6 では、コマンドレジスタの設定が行なわれる。これは例えば、A [0 . . 1 0] = 7 h に対応して実行され、D [0 . . 1 5] = “ 2 0 h ” : セクタ読み出しと設定される。ステップ S 1 0 7 では、ステータスレジスタの読み出しが行なわれる。これは例えば、A [0 . . 1 0] = 0 h に対応して実行され、アドレスが 8 0 h から 5 8 h に遷移するまで繰り返し読み出しが行なわれる。このステータスレジスタの読み出しステップ S 1 0 7 において、アドレス 8 0 h ではカード内部処理が B U S Y 状態となり、アドレス 5 8 h では、カード内部処理が終了し、次のアクセスの受け付けが可能とされ、ドライブシークが完了し、またホストとデータレジスタとの間のデータ転送の準備が完了する。

【 0 2 6 6 】

ステップ S 1 0 8 では、データレジスタの読み出しが行なわれる。この例では、2 5 6 回の読み出しが行なわれ、 $2 5 6 \times 1 6 \text{ ビット} = 5 1 2 \text{ バイト/セクタ}$ の読み出しが実行される。次のステップ S 1 0 9 では、再びステータスレジスタの読み出しが行なわれる。アドレス 8 0 h が 5 0 h に遷移するまでステータスレジスタの読み出しが繰り返される。このステータスレジスタの読み出しステップ S 1 0 9 において、アドレス 8 0 h ではカード内部処理が B U S Y 状態とされ、アドレス 5 8 h ではカード内部処理が終了し、次のアクセスの受け付けが可能とされ、ドライブシークが完了する。

【 0 2 6 7 】

図 5 8 の (2) P G 書き込み動作では、(1) P C 読み出し動作のステップ S 1 0 8 に応じて、P C カード 2 3 0 A から読み出されたデータが、P G 部 6 0 のデュアルポートメモリ 6 2 0 の左側ポート 6 2 1 に書き込まれる。矢印 A 1 は、P C カード 2 3 0 A からデュアルポートメモリ 6 2 0 の左側ポート 6 2 1 に対するダウンロードの開始を示し、また矢印 A 2 はそのダウンロードの終了を示す。この矢印 A 1 と矢印 A 2 との間には、複数のクロックが存在するが、各周期のクロックのそれぞれにより、D [0 . . 1 5] からのデータを、左側ポート 6 2 1 のポート P O 2 に D Q [0 . . 1 5] として書き込む。図 5 8 の (3) P G 読み出し動作は、図 5 7 のステップ S 1 8 に対応して、デュアルポートメモリ 6 2 0 の右側ポート 6 2 2 からテストパターンデータ T P D の読み出しが行なわれる。この例では、前に、右側ポート 6 2 2 に書き込まれたテストパターンデータ T P D がステップ S 1 8 において読み出される。

【 0 2 6 8 】

図 5 9 は、T P M 部 5 0 から P G 部 6 0 へのテストパターンデータ T P D の転送と、P G 部 6 0 からのテストパターンデータ T P D の読み出しを、並列して行なう場合の手順を示すフローチャートである。図 5 7 に示す基本手順と相違するのは、ステップ S 1 8 A と、ステップ 2 3 A、2 3 B である。ステップ S 1 8 A では、P G 部 6 0 からテストパターンデータ T P D を読み出し、テストパターン信号 T P S とテスト入力・判定パターン信号 J P S を発生し、これに基づき、D U T 1 0 のテストが行なわれるが、P G 部 6 0 からのテストパターンデータ T P

Dの読み出しに並行して、同時に、TPM部50からPG部60へのテストパターンデータTPDの転送が行なわれる。

【0269】

ステップS18Aに続くステップS23A、S23Bは、同時に並行して実行される。ステップS23Aは、ステップS13からステップS15を含むステップであり、TPM部50からPG部60へのテストパターンデータTPDの転送が行なわれる。ステップS23Bは、PG部60が発生したテストパターン信号TPSと、テスト入力・判定パターン信号JPSとに基づくエラー情報の書き込みとその読み出しとその解析を行なうステップであり、図57のステップS19からステップS22を含む。

【0270】

図60は、図59のステップS18Aにおける詳細な動作のタイミングチャートであり、図58と同様に、(1)PC読み出し動作、(2)PG書き込み動作、(3)PG読み出し動作を示す。(2)PG書き込み動作は、デュアルポートメモリ620の左ポート621に対して、PCカード230Aからのテストパターンデータを書き込む動作である。また(3)PC読み出し動作は、デュアルポートメモリ620の右ポート622からのテストパターンデータの読み出し動作である。この図60によって、デュアルポートメモリ620に対し、テストパターンデータTPDの書き込み動作と、読み出し動作が並行して行なわれることが明らかである。

【0271】

実施の形態3-2では、PG部60にデュアルポートメモリ620を使用することにより、TPM部50からPG部60へのテストパターンデータTPDの転送を、PG部60からのテストパターンデータTPDの読み出しと並行して行なうことができ、TPM部50からPG部60へのテストパターンデータTPDの転送のための特別な時間を短縮できる。また、実施の形態3-2でもPCカード230Aなどの着脱可能な記憶媒体230を使用するので、TPM部50の記憶容量の増大を図り、このTPM部50に、より多くのテスト項目に対応するより多くのテストパターンデータTPDを蓄積しておくことができるので、より多く

のテスト項目の中から、実行するテスト項目に対応したテストパターンデータを選択することにより、多種のファンクションテストに効果的に対応できる。また、PCカード230Aは、着脱可能であるので、BOST装置20から取り外し、別の端末で、テストパターンデータを書き込むこともでき、この書き込み動作でBOST装置20を使用する時間を短くでき、またその書き込みのためのBOST装置20の待ち時間を短縮できる。

【0272】

実施の形態3-3.

この実施の形態3-3はPG部60に2つのバンクメモリA、Bを使用し、実施の形態3-2と同様に、多種のファンクションテストを効果的に実行できるように構成されたこの発明による半導体集積回路の試験装置の実施の形態である。図61は実施の形態3-3によるPG部60の詳細構成を示す。この実施の形態3-3も、TPM部50に、PCカード230Aを使用するものである。

【0273】

この実施の形態3-3では、PG部60が、2つのバンクメモリA630、B631と、切替回路632と、切替回路633と、切替設定回路634を有する。バンクメモリA630、B631は、それぞれRW端子、CLK端子、ADD端子、DQ端子を有する。

切替回路632は、バンクメモリA630、B631に対する読み出し書き込み信号RWと、クロック信号CLKと、アドレス信号ADDを切り替えるもので、読み出し書き込み信号RWを受ける入力A0、A1と、クロック信号CLKを受ける入力B0、B1と、アドレス信号ADD[0..15]を受ける入力C0、C1と、それらに対応する出力FA0、FA1、FB0、FB1、FC0、FC1と、制御入力Sを有する。これらの読み出し書き込み信号RW、アドレス信号ADDは図57のBOST制御部40から供給され、クロック信号CLKはテスト周期信号TCYに基づく。

【0274】

制御入力Sが低レベルLであれば、入力A0は出力FA0、入力A1は出力FA1、入力B0は出力FB0、入力B1は出力FB1、入力C0は出力FC0、

入力C 1は出力F C 1となり、また制御入力Sが高レベルHになれば、入力A 0はF A 1、入力A 1は出力F A 0、入力B 0は出力F B 1、入力B 1は出力F B 0、入力C 0は出力F C 1、入力C 1は出力F C 0に切り替る。制御入力Sは、切替設定回路6 3 4から与えられ、この切替設定回路6 3 4はC P U部3 3により制御される。

【0 2 7 5】

切替回路6 3 2の出力F A 0、F A 1はそれぞれバンクメモリA 6 3 0、B 6 3 1のR W端子に、出力F B 0、F B 1はそれぞれバンクメモリA 6 3 0、B 6 3 1のC L K端子に、また出力F C 0、F C 1はそれぞれバンクメモリA 6 3 0、B 6 3 1のA D D端子に接続される。

切替回路6 3 3は入出力端子A、Bと、出力端子F 0と、入力端子F 1と、制御端子Sを有する。入出力端子A、Bは、それぞれバンクメモリA 6 3 0、B 6 3 1のD Q端子に接続される。入力端子F 1には、P Cカード2 3 0 AからのD Q [0 . . 1 5] 信号が供給される。制御端子Sは、切替設定回路6 3 4に接続される。

切替回路6 3 3では、制御入力Sが低レベルLのときに、入出力端子A、Bがそれぞれ端子F 0、F 1に接続される。また、制御入力Sが高レベルHになれば、入出力端子A、Bは、それぞれ端子F 1、F 2に接続されるように切り替る。

【0 2 7 6】

制御入力Sが低レベルLであれば、入出力端子Aが出力端子F 0に、また入力端子F 1は入出力端子Bに接続される。この状態では、バンクメモリA 6 3 0は、切替回路6 3 2の出力F A 0、F B 0、F C 0からの読み出し書き込み信号R Wと、クロック信号C L Kと、アドレス信号A D D [0 . . 1 4] を受けて、読み出し動作を行ない、出力端子F 0に読み出し出力を出す。一方、入力端子F 1へのデータD Q [0 . . 1 5] はバンクメモリB 6 3 1のD Qに接続され、このバンクメモリB 6 3 1は、切替回路6 3 2の出力F A 1、F B 1、F C 1からの読み出し書き込み信号R W、クロック信号C L K、アドレス信号A D Dを受け、バンクメモリB 6 3 1は書き込み動作を行なう。

【0 2 7 7】

制御入力 S が高レベル H であれば、入出力端子 B が出力端子 F 0 に、また入力端子 F 1 は入出力端子 A に接続される。この状態では、バンクメモリ B 6 3 1 は、切替回路 6 3 2 の出力 F A 0、F B 0、F C 0 からの読み出し書き込み信号 R W と、クロック信号 C L K と、アドレス信号 A D D [0 . . 1 4] を受けて、読み出し動作を行ない、出力端子 F 0 に読み出し出力を出す。一方、入力端子 F 1 へのデータ D Q [0 . . 1 5] はバンクメモリ A 6 3 0 の D Q に接続され、このバンクメモリ A 6 3 0 は、切替回路 6 3 2 の出力 F A 1、F B 1、F C 1 からの読み出し書き込み信号 R W、クロック信号 C L K、アドレス信号 A D D を受け、バンクメモリ A 6 3 0 は書き込み動作を行なう。

【 0 2 7 8 】

このように実施の形態 3 - 3 では、バンクメモリ A 6 3 0 が読み出し、バンクメモリ B 6 3 1 が書き込みを行なう状態と、逆にバンクメモリ A 6 3 0 が書き込み、バンクメモリ B 6 3 1 が読み出しを行なう状態とが、制御入力 S に応じて、切り替えられ、バンクメモリ A 6 3 0、B 6 3 1 が、交互に読み出し、書き込み動作を行なうので、実施の形態 3 - 2 のデュアルポートメモリ 6 2 0 を使用するものと同様に、TPM 部 5 0 から P G 部 6 0 へのテストパターンデータの転送と、P G 部 6 0 からのテストパターンデータ T P D の読み出しを、並行して、同時に行なうことができる。また、実施の形態 3 - 2 でも P C カード 2 3 0 A などの着脱可能な記憶媒体 2 3 0 を使用するので、TPM 部 5 0 の記憶容量の増大を図り、この TPM 部 5 0 に、より多くのテスト項目に対応するより多くのテストパターンデータ T P D を蓄積しておくことができるので、より多くのテスト項目の中から、実行するテスト項目に対応したテストパターンデータを選択することにより、多種のファンクションテストに効果的に対応できる。また、P C カード 2 3 0 A は、着脱可能であるので、B O S T 装置 2 0 から取り外し、別の端末で、テストパターンデータを書き込むこともでき、この書き込み動作で B O S T 装置 2 0 を使用する時間を短くでき、またその書き込みのための B O S T 装置 2 0 の待ち時間を短縮できる。

【 0 2 7 9 】

次に、エラー情報メモリ部 9 0 に P C カードなどの着脱可能なメモリを使用す

るタイプのこの発明による半導体集積回路の試験装置の実施の形態 4-1 から 4-3 について説明する。これらの実施の形態 4-1 から 4-3 も、実施の形態 1 の機能に加えて、これから説明する機能、構成を付加したものである。また、これらの実施の形態 4-1 から 4-3 も、この発明による半導体集積回路の製造方法に含まれる試験工程で使用される。

【 0 2 8 0 】

実施の形態 4-1.

この実施の形態 4-1 は、エラー情報メモリ部 90 に PC カードなどの着脱可能な記憶媒体を組み合わせるように構成されたこの発明による半導体集積回路の試験装置である。図 6 2 はこの実施の形態 4-1 による BOST 装置 20 を示し、図 6 2 (a) はこの実施の形態 4-1 による BOST 装置 20 の 1 つの実施態様を示し、図 6 2 (b) は組み合わせる記憶媒体の他の実施態様を示し、図 6 2 (c) は記憶媒体を組み合わせる回路基板を増設した BOST 装置 20 の他の実施態様を示し、また図 6 2 (d) は記憶媒体の組合せによる BOST 装置 20 の他の実施態様を示す。図 6 3 は実施の形態 4-1 による BOST 装置 20 の側面図である。

【 0 2 8 1 】

図 6 2 (a) に示す BOST 装置 20 の BOST 組立 210 P は、図 5 2 (a) に示す BOST 組立 210 K と類似しており、図 6 2 (c) に示す BOST 組立 210 Q は、図 5 2 に示す BOST 組立 210 L に類似しており、図 6 2 (d) に示す BOST 組立 210 R は、図 5 2 (d) に示す BOST 組立 210 M に類似しており、また図 6 3 に示す BOST 組立 210 S は、図 5 3 に示す BOST 組立 210 N と類似しているが、PC カードなどの着脱可能な記憶媒体 230 が、エラー情報メモリ部 90 を構成するメモリとして、組み合わせられる点でそれぞれ相違する。他の構成は図 5 2、5 3 の各 BOST 組立 210 K、210 L、210 M、210 N と同じであり、詳細な説明を省略するが、エラー情報メモリ部 90 も、実施の形態 1-7 で説明した通り、回路基板 215 に搭載されるので、回路基板 215 または増設される回路基板 215 A、215 B に、記憶媒体 230 が着脱可能に挿入される構成となっている。

【 0 2 8 2 】

図 6 4 はエラー情報メモリ部 9 0 を構成する記憶媒体 2 3 0 に対するエラー情報の書き込みと読み出しのシステム構成例を示す。図 6 4 (a) では、B O S T 装置 2 0 の保持部材 2 3 1、2 3 1 A に記憶媒体 2 3 0 が挿入された状態で、この記憶媒体 2 3 0 にエラー情報が記憶され、この記憶媒体 2 3 0 がパーソナルコンピュータ端末 1 5 に持ち込まれ、この端末 1 5 の中で、記憶媒体 2 3 0 に記憶されたエラー情報が読み出される。

図 6 4 (b) では、B O S T 装置 2 0 の保持部材 2 3 1、2 3 1 A に、記憶媒体 2 3 0 を挿入した状態で、記憶媒体 2 3 0 に対するエラー情報の書き込みが行なわれ、この記憶媒体 2 3 0 に書き込まれたエラー情報が、パーソナルコンピュータ端末 1 5 に読み出される。この場合には、I / F 部 1 7 を経由して、記憶媒体 2 3 0 からのエラー情報の読み出しが行なわれる。

【 0 2 8 3 】

この実施の形態 4 - 1 では、B O S T 装置 2 0 を構成する回路基板に、P C カードなどの記憶媒体 2 3 0 を着脱可能に取り付け、この記憶媒体 2 3 0 を用いて、エラー情報メモリ部 9 0 を構成したので、エラー情報メモリ部 9 0 の記憶容量を簡単に増大することができ、この記憶媒体 2 3 0 により多くのエラー情報を記憶し、B O S T 装置 2 0 による試験機能を増強することができる。加えて、記憶媒体 2 3 0 は着脱可能であり、この記憶媒体 2 3 0 をテスト 1 8、別の端末などに挿入して、エラー情報の読み出し、解析を行なうこともでき、B O S T 装置 2 0 を使わずに、簡便に、エラー情報の解析を行なうこともできる。

【 0 2 8 4 】

実施の形態 4 - 2.

この実施の形態 4 - 2 は、エラー情報メモリ部 9 0 を、エラー情報取込部 9 0 A と、エラー情報記憶部 9 0 B とで構成し、エラー情報取込部 9 0 A にデュアルポートメモリ 9 1 0 を使用し、エラー情報記憶部 9 0 B に P C カード 2 3 0 A を使用したものである。図 6 5 はこの実施の形態 4 - 2 による B O S T 制御部 4 0 と、エラー情報取込部 9 0 A と、エラー情報記憶部 9 0 B の信号入出力システムを示す。また図 6 6 はこの図 6 5 に示す信号入出力システムの詳細を示す。

【 0 2 8 5 】

エラー情報の取り込みの高速化を図るには、エラー情報メモリ部 9 0 を構成するメモリを高速動作のメモリで構成するか、または低速動作のメモリを使う場合には、その低速メモリをインターリーブ方式（多段切替）で動作させることが考えられる。しかし、エラー情報メモリ部 9 0 が高価格化する問題があり、また回路規模の増大により、その小型化が難しくなる。この実施の形態 4 - 2 のように、エラー情報メモリ部 9 0 を、エラー情報取込部 9 0 A とエラー情報記憶部 9 0 B の 2 つに分けて構成すれば、エラー情報記憶部 9 0 B を、TPM 部 5 0 と同様に、動作速度が低く、記憶容量の大きなメモリで構成し、またエラー情報取込部 9 0 A を、PG 部 6 0 と同様に、動作速度が高く、記憶容量の小さなメモリで構成し、エラー情報メモリ部 9 0 の機能向上を図ることができる。

【 0 2 8 6 】

エラー情報取込部 9 0 A は、図 6 5 に示すように、デュアルポートメモリ 9 1 0 を有する。このエラー情報取込部 9 0 A は、多チャンネル構成とされ、例えば 3 2 キロバイトで、0 から 1 5 チャンネルの 1 6 のチャンネルを有する。

エラー情報取込部 9 0 A の各チャンネルには、このデュアルポートメモリ 9 1 0 に対する 2 つの入出力ポート 9 1 1、9 1 2 が設けられる。入出力ポート 9 1 1 は左側ポート（L ポート）、入出力ポート 9 1 2 は側右ポート（R ポート）である。これらの左側ポート 9 1 1、右側ポート 9 1 2 は、それぞれ 4 つのポート P O 1 から P O 4 を含む。ポート P O 1 は読み出し書き込み指示信号 R / W に入力ポート、ポート P O 2 はデータ信号 D Q の入出力ポート、ポート P O 3 はアドレス信号 A D D の入力ポート、ポート P O 4 はクロック C L K の入力ポートである。

【 0 2 8 7 】

B O S T 制御部 4 0 は、エラー情報取込部 9 0 A との間で信号のやり取りを行ない、またエラー情報記憶部 9 0 B の P C カード 2 3 0 A との間で信号のやり取りを行なう。P C カード 2 3 0 A は、P C カード A T A 仕様の P C カードであり、信号は P C カード A T A 仕様に規定された信号となる。B O S T 制御部 4 0 から P C カード 2 3 0 A へ供給される各種の信号は、図 5 5 に示した信号と同じで

ある。B O S T 制御部 4 0 と P C カード 2 3 0 A との間で双方向にやり取りされる各種の信号も、図 5 5 に示したと同じ信号を含む。B O S T 制御部 4 0 には C P U 部 3 3 と、P C カード A T A I / F 1 7 が接続される。

この実施の形態 4 - 2 では、B O S T 制御部 4 0 はエラー情報取込部 9 0 A にメモリアドレス信号 M A D を供給し、また出力判定部 8 5 からエラーデータ信号 E D T の供給を受ける。

【 0 2 8 8 】

図 6 6 には、実施の形態 4 - 2 における B O S T 制御部 4 0 とエラー情報取込部 9 0 A と、エラー情報記憶部 9 0 B の詳細が示される。B O S T 制御部 4 0 は、図 5 6 に示したと同じ回路を有する。加えて、制御クロック発生回路 4 8 9 を有し、この制御クロック発生回路 4 8 9 は、メモリアドレス信号 M A D とエラーデータ信号 E D T を受け、クロック信号 C L K を発生する。このクロック信号は、デュアルポートメモリ 9 1 0 のポート P 0 4 に供給され、またメモリアドレス信号 M A D とエラーデータ信号 E D T はそのポート P 0 3 に供給される。

【 0 2 8 9 】

図 6 6 に示す B O S T 制御部 4 0 とエラー情報取込部 9 0 A を構成するデュアルポートメモリ 9 1 0 は、1 枚の基板 4 9 1 に搭載される。この基板 4 9 1 は、チャンネル 0 から 1 5 のそれぞれについて同様に構成され、各基板 4 9 1 のデュアルポートメモリ 9 1 0 からエラー情報が P C カード 2 3 0 A に供給される。

【 0 2 9 0 】

図 6 7 は実施の形態 4 - 2 により、エラー情報を取り込み、それを記憶する工程 S 1 9 1、S 1 9 2 を含んだテストの基本手順を示すフローチャートである。この手順は、図 5 7 に示す基本手順のステップ S 1 9 が 2 つのステップ S 1 9 1、S 1 9 2 に分けられた点で、図 5 7 の基本手順と相違するが、その他のステップは図 5 7 と同じであるので、説明を省略する。

【 0 2 9 1 】

ステップ S 1 9 1 では、エラー情報取込部 9 0 A を構成するデュアルポートメモリ 9 1 0 にエラー情報の取り込みが行なわれ、またステップ S 1 9 2 では、このデュアルポートメモリ 9 1 0 に取り込まれたエラー情報がエラー情報記憶部を

構成する P C カード 2 3 0 A に転送される。

【 0 2 9 2 】

図 6 8 は、図 6 7 のステップ S 1 9 1 におけるエラー情報取込動作と、ステップ S 1 9 2 におけるそのエラー情報記憶部 9 0 B への転送動作の詳細を示すタイミングチャートである。図 6 8 の上部の (1) P C カード書き込み動作は、ステップ S 1 9 2 における P C カード 2 3 0 A への書き込み動作を例示し、その下の (2) エラー情報読み出し動作は、(1) P C カード書き込み動作に関連したデュアルポートメモリ 9 1 0 の左側ポート 9 1 1 からの読み出し動作を例示し、さらにその下の (3) エラー情報取込動作は、デュアルポートメモリ 9 1 0 の右側ポート 9 1 2 に対するエラー情報の取り込み動作を例示する。

【 0 2 9 3 】

図 6 8 (1) P C カード書き込み動作では、(a) に P C カード 2 3 0 A に対する信号 A [0 . . 1 0] を、(b) にカード選択信号 / C E 1 信号を、(c) にカード選択信号 / C E 2 を、(d) にタスクファイル領域のレジスタのデータ出力制御信号 / I O R D を、(e) にタスクファイル領域のレジスタのデータ入力制御信号 I O W R を、(f) に信号 D [0 . . 1 5] を、また (g) に / I R E Q 信号をそれぞれ示す。また、図 6 8 (2) エラー情報読み出し動作と (3) エラー情報取込動作では、それぞれ (a) にクロック C L K を、(b) に読み出し書き込み信号 R / W を、(c) に信号 A [0 . . 1 4] を、また (d) に信号 D Q [0 . . 1 5] を示す。

【 0 2 9 4 】

図 6 8 (2) エラー情報読み出し動作では、エラー情報取込部 9 0 A のデュアルポートメモリ 9 1 0 の左側ポート 9 1 1 に書き込まれたエラー情報が、エラー情報記憶部 9 0 B を構成する P C カード 2 3 0 A に向かって読み出される。矢印 A 1 は、その読み出しの開始を示し、また矢印 A 2 はその読み出しの終了を示す。この矢印 A 1 と矢印 A 2 との間には、複数のクロックが存在するが、各周期のクロックのそれぞれにより、D [0 . . 1 5] のデータが読み出される。図 6 8 (1) P C 書き込み動作では、この (2) エラー情報読み出し動作により読み出されたエラー情報が、P C カード 2 3 0 A に書き込まれる。図 6 8 (3) エラー

情報取込動作は、（２）エラー情報の読み出し動作の前に、右側ポート 9 1 2 にエラー情報が書き込まれることを示している。

【 0 2 9 5 】

図 6 9 は、エラー情報取込部 9 0 A によるエラー情報の取り込み動作と、エラー情報取込部 9 0 A からエラー情報記憶部 9 0 B へのエラー情報の転送とを、並行して行なう場合の手順を示すフローチャートである。図 6 7 に示す基本手順との相違するのは、ステップ S 1 9 1、S 1 9 2 である。このステップ S 1 9 1 ではエラー情報取込部 9 0 A によるエラー情報の取り込み動作が行なわれ、またステップ S 1 9 2 ではエラー情報取込部 9 0 A からエラー情報記憶部 9 0 B へのエラー情報の転送動作が行なわれるが、この図 6 9 は、これらの動作が並行して、同時に、行なわれる場合の動作を示すフローチャートである。

図 6 9 に示すように、ステップ S 1 9 1 とステップ S 1 9 2 は、並行して実行される。

【 0 2 9 6 】

図 7 0 は、図 6 9 のステップ S 1 9 1、S 1 9 2 における詳細な動作のタイミングチャートであり、図 6 8 と同様に、（１）PC 書き込み動作、（２）エラー情報読み出し動作、すなわちデュアルポートメモリ 9 1 0 の左側ポート 9 1 1 からの読み出し動作、（３）エラー情報取込動作を示す。（２）エラー情報読み出し動作は、デュアルポートメモリ 9 1 0 の左ポート 9 1 1 から PC カード 2 3 0 A へ向けての読み出し動作であり、（３）エラー情報取込動作は、デュアルポートメモリ 9 1 0 の右側ポート 9 1 2 によるエラー情報の取り込み動作を示す。この図 7 0 によって、デュアルポートメモリ 9 1 0 に対するエラー情報の取り込み動作と、デュアルポートメモリ 9 1 0 からの読み出し動作が並行して行なわれることが明らかである。

【 0 2 9 7 】

実施の形態 4 - 2 では、エラー情報取込部 9 0 A にデュアルポートメモリ 9 1 0 を使用することにより、エラー情報取込部 5 0 によるエラー情報の取り込み動作と並行して、エラー情報取込部 9 0 A からエラー情報記憶部 9 0 B へのエラー情報の転送を行なうことができ、エラー情報取込部 9 0 A からエラー情報記憶部

9 0 B へのエラー情報の転送のための特別な時間を短縮できる。また、実施の形態 4 - 2 でも P C カード 2 3 0 A などの着脱可能な記憶媒体 2 3 0 を使用するので、エラー情報記憶部 9 0 B の記憶容量の増大を図り、このエラー情報記憶部 9 0 B に、より多くのエラー情報を蓄積しておくことができ、さらに P C カード 2 3 0 A を B O S T 装置 2 0 から取り外し、テスト 1 8、その他の端末で、エラー情報の分析を行なうこともでき、この場合には、B O S T 装置 2 0 に使用効率を上げることができる。

【 0 2 9 8 】

実施の形態 4 - 3 .

この実施の形態 4 - 3 はエラー情報メモリ部 9 0 に 2 つのバンクメモリ A、B を使用し、実施の形態 4 - 2 と同様に、エラー情報処理を効率化できるように構成されたこの発明による半導体集積回路の試験装置の実施の形態である。図 7 1 は実施の形態 4 - 3 によるエラー情報メモリ部 9 0 の詳細構成を示す。この実施の形態 4 - 3 も、エラー情報メモリ部 9 0 に、P C カード 2 3 0 A を使用するものである。

【 0 2 9 9 】

この実施の形態 4 - 3 では、エラー情報メモリ部 9 0 が、2 つのバンクメモリ A 9 3 0、B 9 3 1 と、切替回路 9 3 2 と、切替回路 9 3 3 と、切替設定回路 9 3 4 を有する。バンクメモリ A 9 3 0、B 9 3 1 は、それぞれ R W 端子、C L K 端子、A D D 端子、D Q 端子を有する。

切替回路 9 3 2 は、バンクメモリ A 9 3 0、B 9 3 1 に対する読み出し書き込み信号 R W と、クロック信号 C L K と、アドレス信号 A D D を切り替えるもので、読み出し書き込み信号 R W を受ける入力 A 0、A 1 と、クロック信号 C L K を受ける入力 B 0、B 1 と、アドレス信号 A D D [0 . . 1 5] を受ける入力 C 0、C 1 と、それらに対応する出力 F A 0、F A 1、F B 0、F B 1、F C 0、F C 1 と、制御入力 S を有する。これらの読み出し書き込み信号 R W、アドレス信号 A D D は図 6 7 の B O S T 制御部 4 0 から供給され、クロック信号 C L K はその制御クロック発生回路 4 8 9 から供給される。

【 0 3 0 0 】

制御入力Sが低レベルLであれば、入力A0は出力FA0、入力A1は出力FA1、入力B0は出力FB0、入力B1は出力FB1、入力C0は出力FC0、入力C1は出力FC1となり、また制御入力Sが高レベルHになれば、入力A0はFA1、入力A1は出力FA0、入力B0は出力FB1、入力B1は出力FB0、入力C0は出力FC1、入力C1は出力FC0に切り替る。制御入力Sは、切替設定回路934から与えられ、この切替設定回路934はCPU部33により制御される。

【0301】

切替回路932の出力FA0、FA1はそれぞれバンクメモリA930、B931のRW端子に、出力FB0、FB1はそれぞれバンクメモリA930、B931のCLK端子に、また出力FC0、FC1はそれぞれバンクメモリA930、B931のADD端子に接続される。

切替回路933は入出力端子A、Bと、入力端子F0と、出力端子F1と、制御端子Sを有する。入出力端子A、Bは、それぞれバンクメモリA930、B931のDQ端子に接続される。入力端子F0には、エラー情報が供給される。制御端子Sは、切替設定回路934に接続される。

切替回路933では、制御入力Sが低レベルLのときに、入出力端子A、Bがそれぞれ端子F0、F1に接続される。また、制御入力Sが高レベルHになれば、入出力端子A、Bは、それぞれ端子F1、F2に接続されるように切り替る。

【0302】

制御入力Sが低レベルLであれば、入出力端子Aが入力端子F0に、また出力端子F1は入出力端子Bに接続される。この状態では、バンクメモリA930は、切替回路932の出力FA0、FB0、FC0からの読み出し書き込み信号RWと、クロック信号CLKと、アドレス信号ADD[0..14]を受けて、エラー情報の書き込み動作を行なう。一方、出力端子F1はバンクメモリB931のDQ端子に接続され、このバンクメモリB931は、切替回路932の出力FA1、FB1、FC1からの読み出し書き込み信号RW、クロック信号CLK、アドレス信号ADDを受け、バンクメモリB931は読み出し動作を行なう。

【0303】

制御入力 S が高レベル H であれば、入出力端子 B が入力端子 F 0 に、また出力端子 F 1 は入出力端子 A に接続される。この状態では、バンクメモリ A 9 3 0 は、切替回路 9 3 2 の出力 F A 0、F B 0、F C 0 からの読み出し書き込み信号 R W と、クロック信号 C L K と、アドレス信号 A D D [0 . . 1 4] を受けて、読み出し動作を行ない、出力端子 F 1 に読み出し出力を出す。一方、入力端子 F 0 へのエラー情報はバンクメモリ B 9 3 1 の D Q に接続され、このバンクメモリ B 9 3 1 は、切替回路 6 3 2 の出力 F A 1、F B 1、F C 1 からの読み出し書き込み信号 R W、クロック信号 C L K、アドレス信号 A D D を受け、バンクメモリ B 9 3 1 は書き込み動作を行なう。

【 0 3 0 4 】

このように実施の形態 4 - 3 では、バンクメモリ A 9 3 0 が読み出し、バンクメモリ B 9 3 1 が書き込みを行なう状態と、逆にバンクメモリ A 9 3 0 が書き込み、バンクメモリ B 9 3 1 が読み出しを行なう状態とが、制御入力 S に応じて、切り替えられ、バンクメモリ A 9 3 0、B 9 3 1 が、交互に読み出し、書き込み動作を行なうので、実施の形態 4 - 2 のデュアルポートメモリ 9 1 0 を使用するものと同様に、バンクメモリ A 9 3 0、B 9 3 1 から P C カード 2 3 0 A へのエラー情報の転送を、バンクメモリ A 9 3 0、B 9 3 1 におけるエラー情報の取り込みを動作と、並行して、同時に行なうことができる。また、実施の形態 4 - 2 でも P C カード 2 3 0 A などの着脱可能な記憶媒体 2 3 0 を使用するので、エラー情報メモリ部 9 0 の記憶容量の増大を図り、このエラー情報メモリ部 9 0 に、より多くのエラー情報を蓄積しておくことができる。さらに P C カード 2 3 0 A を B O S T 装置 2 0 から取り外し、テスト 1 8、その他の端末で、エラー情報の分析を行なうこともでき、この場合には、B O S T 装置 2 0 に使用効率を上げることができる。

【 0 3 0 5 】

次に、D U T 1 0 のデジタル回路に対する試験機能を持った B O S T 装置 2 0 に、D U T 1 0 のアナログ回路に対する試験機能を持った B O S T 装置 2 0 A N を組み合わせたタイプのこの発明による半導体集積回路の試験装置の実施の形態 5 - 1 から 5 - 6 について説明する。これらの実施の形態 5 - 1 から 5 - 6 は

、実施の形態 1 に B O S T 装置 2 0 A N を付加したものであり、実施の形態 1 の機能はそのまま保持している。これらの実施の形態 5 - 1 から 5 - 6 も、この発明による半導体集積回路の製造方法に含まれる試験工程において、使用される。

【 0 3 0 6 】

実施の形態 5 - 1 .

この実施の形態 5 - 1 は、B O S T 装置 2 0 に、B O S T 装置 2 0 A N を組み合わせた半導体集積回路の試験装置であり、この試験装置は、モールド型半導体集積回路を D U T 1 0 とする場合における半導体集積回路の試験装置の実施の形態である。図 7 2 (a) はこの実施の形態 5 - 1 による試験装置におけるテストヘッド装置 1 2 G に含まれた D U T ボード 1 1 0 の上面図、図 7 2 (b) はその側面図、図 7 2 (c) はテストヘッド装置 1 2 G に接続されるテスト 1 8 の構成図である。このテストヘッド装置 1 2 G は、図 6 に示す実施の形態 1 - 2 によるテストヘッド装置 1 2 A と類似しており、B O S T 装置 2 0 A N を付加した点以外は、テストヘッド装置 1 2 A と同じであり、同じ部分を同じ符号で示し、B O S T 装置 2 0 A N を中心に説明する。

【 0 3 0 7 】

このテストヘッド装置 1 2 G は、テストヘッド 1 2 0 と、D U T ボード 1 1 0 と、B O S T ボード 2 0 1 を有し、D U T 1 0 はモールド型半導体集積回路として構成され、D U T ボード 1 1 0 上に搭載される。この B O S T ボード 2 0 1 は、B O S T 装置 2 0 と、B O S T 装置 2 0 A N を有する。B O S T 装置 2 0 は、これまで実施の形態 1 から実施の形態 4 - 3 までに説明したデジタル回路に対する B O S T 装置であり、D U T 1 0 に含まれるデジタル回路をテストするのに、用いられる。B O S T 装置 2 0 A N は、アナログ回路に対する B O S T 装置であり、D U T 1 0 に含まれるアナログ回路をテストするのに用いられる。

【 0 3 0 8 】

B O S T 装置 2 0 、 2 0 A はともに共通の B O S T ボード 2 0 1 上に、搭載され、D U T ボード 1 1 0 の近傍に配置される。この実施の形態 5 - 1 では、B O S T ボード 2 0 1 は D U T ボード 1 1 0 の上に搭載される。

テスト 1 8 は、B O S T ボード 2 0 1 A との間で B O S T 制御信号 1 8 5 をや

り取りする。このBOST制御信号185には、テスト18からBOSTボード201A、DUTボード110への指令信号だけでなく、BOSTボード201Aからテスト18へのテスト解析結果信号も含まれる。

BOST制御信号185は、テスト18とBOST装置20との間のBOST制御信号とともに、テスト18とBOST装置20ANとの間のBOST制御信号も含む。

【0309】

DUT10のアナログ回路を試験するBOST装置20ANについて、その回路構成を図73に示す。まず、DUT10に含まれるアナログ回路250は、アナログ信号をデジタル信号に変換するA/D変換回路251と、デジタル信号をアナログ信号に変換するD/A変換回路252を含んでいる。DUT10のアナログ回路250は多数のA/D変換回路251と、多数のD/A変換回路252を含むが、図73には代表的にそれぞれ1つのA/D変換回路251とD/A変換回路252を示している。

【0310】

BOST装置20ANは、A/D変換回路251に対してアナログテスト信号を供給する試験用D/A変換回路253と、D/A変換回路252に対してデジタルテスト信号を供給するDAC入力データ回路（DACカウンタ）を含んでいる。さらに、BOST装置20ANは、データ書き込み制御回路256、測定データメモリアドレスカウンタ257、測定データメモリ258、基準クロック回路259、クロック発生回路260、DSP解析部261を有する。このDSP解析部261はDSPプログラムROM262を有する。

【0311】

BOST装置20ANは、さらに、電源263、複数のリレーRY1からRY4を含むリレー回路264を有する。電源263はBOST装置20ANの各回路部分へ電源電圧を供給する電源であり、リレー回路264はBOST装置20ANからDUT10へ供給するテスト信号と、テストヘッド210からDUT10へ供給するテスト信号を切り替える。BOST装置20ANからDUT10へのテスト信号は、試験用D/A変換回路253からA/D変換回路251へのア

ナログテスト信号と、DAC入力データ回路255からD/A変換回路252へのデジタルテスト信号を含んでいる。試験用D/A変換回路253は、DAC入力データ回路255からのデジタルテスト信号をアナログテスト信号に変換し、A/D変換回路251に供給する。これらのテスト信号は、リレーRY1、RY2の切替により、テストヘッド120から直接供給することもできる。このテストヘッド120からのテスト信号には、DAC入力データ回路255では生成できないテストデータも含まれる。このテスト信号の切替に伴い、リレー回路264は、DUT10からのテスト出力をも切り替える。

【0312】

A/D変換回路251からのデジタルテスト出力は、BOST装置20ANの測定データメモリ258に供給され、またD/A変換回路252からのアナログテスト出力は、試験用A/D変換回路254によりデジタルテスト出力に変換され、測定データメモリ258に供給される。しかし、テストヘッド120からのテスト信号がDUT10に与えられる場合には、これらのテスト出力はリレーRY3、RY4により、テストヘッド120に供給される。テストヘッド120からのテスト信号には、BOST装置20ANとDUT10との接続をチェックするためのテスト信号およびBOST装置20ANの動作を診断するためのテスト信号も含まれる。

【0313】

DAC入力データ回路255から試験用D/A変換回路253に供給されたデジタルテスト信号（テストデータ）は、アナログテスト信号に変換され、DUT10のA/D変換回路251に供給される。このA/D変換回路251は、供給されたアナログテスト信号をデジタルテスト出力に変換し、このデジタルテスト出力は測定データメモリ258に供給されて記憶される。DAC入力データ回路255からD/A変換回路252に供給されたデジタルテスト信号は、D/A変換回路252によりアナログテスト出力に変換され、このアナログテスト出力は試験用A/D変換回路254に供給されてデジタルテスト出力に変換される。このデジタルテスト出力も測定データメモリ258に供給されて記憶される。測定データメモリ258は、A/D変換回路251からのデジタルテ

スト出力と、D/A変換回路252から試験用A/D変換回路254を経由して供給されるデジタルテスト出力を、順次定められたアドレスに記憶する。

【0314】

DUT10のA/D変換回路251およびBOST装置20ANの試験用A/D変換回路254は、順次アナログ信号をデジタル信号に変換するが、1つのデジタル信号を発生する度にBUSY信号をそれぞれ出力する。これらのBUSY信号は、ともにBOST装置20ANのデータ書き込み制御回路256に供給される。このデータ書き込み制御回路256は、供給されたBUSY信号に基づき、DAC入力データ回路255のデジタルデータをデータ単位毎に次のデジタルデータへ順次進め、また測定データアドレスカウンタ257に対しては、測定データメモリ258のアドレスを順次進めるように作用する。

【0315】

このように、BUSY信号により、DAC入力データ回路255では、DUT10で変換されるデジタルデータをデータ単位毎に進められ、また測定データメモリ258では、DUT10で変換されたデジタル試験出力を記憶するためのアドレスが進められる。この結果、DUT10では、A/D変換回路251およびD/A変換回路252において順次試験に必要な変換が進められ、その変換された試験出力が測定データメモリ258に順次記憶される。

【0316】

A/D変換回路251およびD/A変換回路252に対するすべてのテストデータが供給され、それらのテスト出力がすべて測定データメモリ258に記憶された後、DSP解析部261は、DSPプログラム262に記憶されたプログラムを用い、測定データメモリ258に記憶されているテスト出力を順次読み出し、A/D変換回路251およびD/A変換回路252の変換特性の解析をする。この解析には、A/D変換特性パラメータ、D/A変換特性パラメータ、微分直線性、積分非直線性誤差などが含まれる。この解析の結果は、解析結果を示すエラーコードにより、テスト18に伝達される。

【0317】

実施の形態5-1は、DUT10に含まれるデジタル回路に対するファンク

ションテストをBOST装置20により、DUT10の近傍で効率良く実行できるとともに、DUT10に含まれるアナログ回路の試験も、BOST装置20ANを用いて、DUT10の近傍で効率よく実行できる。

【0318】

実施の形態5-2.

この実施の形態5-2も、BOST装置20、20ANを含むこの発明による半導体集積回路の試験装置の他の実施の形態であり、この実施の形態5-2もDUT10として、モールド型半導体集積回路がテストされる。図74はこの実施の形態5-2におけるテストヘッド装置12Hを示す。このテストヘッド装置12Hは、図7に示す実施の形態1-3のテストヘッド装置12Bに類似しており、BOSTボード201が省略され、図72、73に示すBOST装置20およびBOST装置20ANの各回路部品がDUTボード110に直接搭載される。この構成を除くその他の構成は、実施の形態5-1と同じであり、同じ部分を同じ符号で示し、説明を省略する。

DUTボード110の右上面には、BOST装置20を構成する各回路部品(1)-(12)と、BOST装置20ANを構成する各回路部品が直接搭載され、この搭載部分において、BOST装置20、20ANとDUTボード110との接続が行なわれ、テストヘッド120との間で信号にやり取りが行なわれる。

【0319】

この実施の形態5-2によれば、モールド型半導体集積回路がDUT10とされる場合において、BOST装置20とBOST装置20ANをDUTボード110上に直接搭載しているので、DUTボード110の構成の簡略化を図りながら、BOST装置20、20ANをDUT10の近傍に配置して、DUT10のデジタル回路およびアナログ回路に対するテストを実施することができる。

【0320】

実施の形態5-3.

実施の形態5-3も、BOST装置20とBOST装置20ANを使用する半導体集積回路の試験装置であり、この実施の形態5-3は半導体ウエハがDUT10とされる場合における半導体集積回路の試験装置の実施の形態である。この

実施の形態 5-3 による半導体集積回路の試験装置は、図 75 に示すテストヘッド装置 12I を有する。このテストヘッド装置 12I は、図 75 (a) に示す BOST ボード 201 と、図 75 (b) に示す BOST I/F ボード 203 と、図 75 (c) に示す DUT ボード 110 を有する。図 75 (d) はテストヘッド装置 12I の側面図である。

【0321】

この実施の形態 5-3 で使用されるテストヘッド装置 12I は、図 8 に示した実施の形態 1-4 によるテストヘッド装置 12C に類似している。このテストヘッド装置 12I でも、実施の形態 1-4 によるテストヘッド装置 12C と同様に、半導体ウエハが DUT 10 とされ、半導体集積回路を構成するために製造された半導体ウエハがテストされる。

このテストヘッド装置 12I は、BOST 装置 20 とともに、BOST 装置 20AN も BOST ボード 201C 上に搭載しており、その他の構成は実施の形態 1-4 によるテストヘッド装置 12C と同じであるので、同じ部分を同じ符号で示し、説明を省略する。

【0322】

この実施の形態 5-3 では、BOST ボード 201 が BOST I/F ボード 203 上に搭載され、この BOST I/F ボード 203 がプローブ針 115 を有する DUT ボード 110 に搭載されるので、BOST 装置 20 および BOST 装置 20AN を DUT 10 である半導体ウエハの近傍に配置し、半導体ウエハに含まれるデジタル回路およびアナログ回路の各種テストを実施できる。

【0323】

実施の形態 5-4.

実施の形態 5-4 も、デジタル回路の試験用 BOST 装置 20 とアナログ回路の試験用 BOST 装置 20AN を併用したタイプの半導体集積回路の試験装置の他の実施の形態である。この実施の形態 5-4 も、半導体ウエハが DUT 10 とされる場合における半導体集積回路の試験装置の実施の形態であり、この実施の形態 5-4 は図 76 に示すテストヘッド装置 12J を有する。図 76 (a) はテストヘッド装置 12J の上面図、図 76 (b) はその側面図である。このテス

トヘッド装置 1 2 J は、図 9 に示す実施の形態 1 - 5 によるテストヘッド装置 1 2 D と類似している。

【 0 3 2 4 】

この実施の形態 5 - 4 によるテストヘッド装置 1 2 J は、DUT ボード 1 1 0 の上面に、BOST 装置 2 0 を構成する各回路部分 (1) - (12) と、BOST 装置 2 0 A N を構成する各回路部分とを直接搭載したものであり、その他の構成は図 9 に示す実施の形態 1 - 5 によるテストヘッド装置 1 2 D と同じであるので、同じ部分を同じ符号で示し、説明を省略する。

【 0 3 2 5 】

この実施の形態 5 - 4 では、BOST 装置 2 0 の各回路部分および BOST 装置 2 0 A N の各回路部分をともに DUT ボード 1 1 0 に直接搭載しているので、テストヘッド 1 2 G の構成の簡略化を図り、併せて BOST 装置 2 0 と BOST 装置 2 0 A N を DUT 1 0 である半導体ウエハの近傍に配置し、半導体ウエハに含まれるデジタル回路およびアナログ回路の各種テストを実施できる。

【 0 3 2 6 】

実施の形態 5 - 5.

この実施の形態 5 - 5 も、デジタル回路の試験用 BOST 装置 2 0 と、アナログ回路の試験用 BOST 装置 2 0 A N を併用するタイプの半導体集積回路の試験装置の実施の形態である。この実施の形態 5 - 5 は BOST 装置 2 0、2 0 A N を併せて構成する BOST 組立 2 1 0 T を備えている。この BOST 組立 2 1 0 T は、5 枚の回路基板 2 1 1 から 2 1 5 を組み合わせて構成される。

図 7 7 (a) は BOST 組立 2 1 0 T の基板構成の概念図であり、図 7 7 (b) はその外観斜視図である。

【 0 3 2 7 】

この実施の形態 5 - 5 による BOST 組立 2 1 0 T は、図 1 0 に示した実施の形態 1 - 6 の BOST 組立 2 1 0 A に類似している。この実施の形態 5 - 5 による BOST 組立 2 1 0 T は、デジタル回路の試験用 BOST 装置 2 0 と、アナログ回路の試験用 BOST 装置 2 0 A N の各回路部品を、5 枚の回路基板 2 1 1 から 2 1 5 に分散して搭載したもので、その他の構成は図 1 0 に示す実施の形態

1-6によるBOST組立210Aと同じである。

【0328】

回路基板211、212、213、214、215には、図1に示すBOST装置20の各回路部分(1)-(12)および図73に示すBOST装置20ANの各回路部分がともに分散して配置される。回路基板211は、第1のBOST I/F部を構成し、DUTボード110とBOST装置20、20ANとの間の信号接続を行なう。この回路基板211には、併せてBOST装置20の電源部99とBOST装置20ANの電源263が搭載される。回路基板212は、第2のBOST I/F部を構成し、回路基板211、213、214、215の接続を行う。併せて回路基板212には、DUT10のテストに必要な周辺回路（ライン切替リレー回路など）を搭載する。この回路基板212は、DUT10の品種毎に用意される。

【0329】

回路基板213には、BOST装置20のCPU部33が配置される。回路基板214には、BOST通信I/F部30が配置され、併せてBOST装置20ANのDAC入力データ255、データ書込み制御回路256、測定データメモリアドレスカウンタ257、測定メモリ258、基準クロック259、クロック発生回路260、DSP解析部261が配置される。回路基板215には、BOST装置20のBOST制御部40、TMP部50、PG部60、出力判定部85、エラー情報メモリ部90、DUT・BOST I/F部95が配置され、併せてBOST装置20ANの試験用D/A変換回路253、試験用A/D変換回路254、リレー回路264が配置される。

【0330】

この実施の形態5-5では、DUT10に必要なBOST機能に応じて、回路基板211、212、213、214、215を選択し、組み合わせることができ、機能拡張が容易になり、またBOST装置20、20ANの変更におけるフレキシビリティが向上する。また不要なハードウェアを組み合わせる必要がなく、BOST装置20、20ANのスリム化、低価格化を図ることが可能となる。

例えば、回路基板211、213、214を標準基板（常時必要な基板）とし

、回路基板 212、215 を DUT10 の種類に応じて交換、変更するなど、標準基板のリサイクル性を向上させ、低価格化を図る。またこの実施の形態 5-5 では、必要な基板のみを組み合わせることができることから、低価格化、スリム化が可能となる。

【0331】

実施の形態 5-6.

この実施の形態 5-6 も、デジタル回路の試験用 BOST 装置 20 と、アナログ回路の試験用 BOST 装置 20AN を併用するタイプの半導体集積回路の試験装置の実施の形態である。この実施の形態 5-6 は BOST 装置 20、20AN を併せて構成する BOST 組立 210U を備えている。この BOST 組立 210U は、6 枚の回路基板 211 から 216 を組み合わせて構成される。

図 78 (a) は BOST 組立 210U の基板構成の概念図であり、図 78 (b) はその外観斜視図である。

【0332】

この実施の形態 5-6 による BOST 組立 210U は、図 77 に示した実施の形態 5-5 による BOST 組立 210T に比較し、更にもう 1 枚の回路基板 216 を増設したもので、この回路基板 216 は回路基板 213、214、215 と並行に配置される。この回路基板 216 は、回路基板 211、212 と垂直に配置される。この回路基板 216 の増設に伴い、図 77 では回路基板 215 に配置された各回路部分の一部が回路基板 216 に移設される。回路基板 215 には、BOST 装置 20 の BOST 制御部 40、TMP 部 50、PG 部 60、出力判定部 85、エラー情報メモリ部 90、DUT・BOST I/F 部 95 が残され、また BOST 装置 20AN の試験用 D/A 変換回路 253、試験用 A/D 変換回路 254、リレー回路 264 が回路基板 216 に移設される。その他の回路部品の配置は、実施の形態 5-5 による BOST 組立 210T と同じである。

【0333】

この実施の形態 5-6 では、必要に応じて、図 79 に示す切替接続が行なわれる。例えば回路基板 215 と、回路基板 216 と、テスト 18 とを、DUT10 の同一端子に、リレー回路 217 を経由して接続する。この場合には、回路基板

215に搭載されたBOST回路20の各回路部分と、回路基板216に搭載されたBOST装置20ANの各回路部分と、テスト18とが、リレー回路217を介して、DUT10の同一端子に接続されるので、リレー回路217を切り替えることにより、BOST装置20と、BOST装置20ANと、テスト18とを使い分けすることが可能となる。

【0334】

【発明の効果】

以上のようにこの発明による半導体集積回路の試験装置では、専用試験機を特別に開発することなく、テストパターンメモリに記憶するテストパターンデータを拡張することにより、被試験半導体集積回路のデジタル回路に対する試験機能を簡単に拡張することができる。併せて、テストパターンデータメモリに予め必要なテストパターンデータを記憶しておくことにより、迅速にデジタル回路の試験をテスト補助装置で実施できる。

【0335】

また、この発明による半導体集積回路の製造方法では、専用試験機を特別に開発することなく、テスト補助装置のテストパターンメモリに記憶するテストパターンデータを拡張することにより、半導体集積回路に含まれるデジタル回路に対する試験機能を簡単に拡張しながら、テストパターンデータメモリに予め必要なテストパターンデータを記憶しておくことにより、迅速にデジタル回路の試験を実行でき、半導体集積回路の試験工程を効率化し、半導体集積回路をより効率良く製造できる。

【0336】

この発明は、半導体集積回路の生産工場において、半導体集積回路を試験する試験装置として、また半導体集積回路の製造方法として産業上利用される。

【図面の簡単な説明】

【図1】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態1の構成図。

【図2】 実施の形態1の主要部分の詳細を示すブロック図。

【図3】 実施の形態1の動作を示すタイミングチャート。

【図 4】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 1 - 1 の構成図。

【図 5】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 1 - 1 の別の構成図。

【図 6】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 1 - 2 におけるテストヘッド装置の構成図。

【図 7】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 1 - 3 におけるテストヘッド装置の構成図。

【図 8】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 1 - 4 におけるテストヘッド装置の構成図。

【図 9】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 1 - 5 におけるテストヘッド装置の構成図。

【図 1 0】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 1 - 6 における B O S T 組立の展開図。

【図 1 1】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 1 - 7 における B O S T 組立の展開図。

【図 1 2】 実施の形態 1 - 7 における B O S T 組立の側面図。

【図 1 3】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 1 - 8 における B O S T 組立の展開図。

【図 1 4】 実施の形態 1 - 8 における B O S T 組立の側面図。

【図 1 5】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 1 - 9 における B O S T 組立の展開

図。

【図 1 6】 実施の形態 1 - 9 における B O S T 組立の側面図。

【図 1 7】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 1 - 1 0 における B O S T 組立の構成図。

【図 1 8】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 1 - 1 1 における B O S T 組立の側面図。

【図 1 9】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 1 - 1 2 における B O S T 組立の側面図。

【図 2 0】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 1 - 1 3 における B O S T 組立の構成図。

【図 2 1】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 1 - 1 4 における B O S T 組立の側面図。

【図 2 2】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 1 - 1 5 における B O S T 組立の側面図。

【図 2 3】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 1 - 1 6 におけるテストヘッド装置の側面図。

【図 2 4】 実施の形態 1 - 1 6 の上面図。

【図 2 5】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 1 - 1 7 におけるテストヘッド装置の側面図。

【図 2 6】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 2 - 1 における B O S T 制御部と P

G部を示すブロック図。

【図 2 7】 実施の形態 2 - 1 の動作を示すタイミングチャート。

【図 2 8】 実施の形態 2 - 1 の動作を示すタイミングチャート。

【図 2 9】 実施の形態 2 - 1 の動作を示すタイミングチャート。

【図 3 0】 実施の形態 2 - 1 の動作を示すタイミングチャート。

【図 3 1】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 2 - 2 における B O S T 制御部と P G 部を示すブロック図。

【図 3 2】 実施の形態 2 - 2 の一部の回路の詳細構成を示すブロック図。

【図 3 3】 実施の形態 2 - 2 におけるプログラムカウンタの詳細を示すブロック図。

【図 3 4】 実施の形態 2 - 2 の動作を示すタイミングチャート。

【図 3 5】 図 3 4 のタイミングチャートに対応する制御コードを示す図表。

【図 3 6】 実施の形態 2 - 2 の動作を示すタイミングチャート。

【図 3 7】 図 3 6 のタイミングチャートに対応する制御コードを示す図表。

【図 3 8】 実施の形態 2 - 2 の動作を示すタイミングチャート。

【図 3 9】 図 3 8 のタイミングチャートに対応する制御コードを示す図表。

【図 4 0】 実施の形態 2 - 2 の動作を示すタイミングチャート。

【図 4 1】 図 4 0 のタイミングチャートに対応する制御コードを示す図表。

【図 4 2】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 2 - 3 における B O S T 制御部を示すブロック図。

【図 4 3】 実施の形態 2 - 3 におけるパラレルシリアル変換器の詳細を示すブロック図。

【図 4 4】 実施の形態 2 - 3 の動作を示すタイミングチャート。

【図 4 5】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 2 - 4 を示すブロック図。

【図 4 6】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 2 - 5 を示すブロック図。

【図 4 7】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 2 - 6 を示すブロック図。

【図 4 8】 実施の形態 2 - 6 の主要回路部分の詳細を示すブロック図。

【図 4 9】 実施の形態 2 - 6 の動作を示すタイミングチャート。

【図 5 0】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 2 - 7 における B O S T ・ D U T I / F 部を示すブロック図。

【図 5 1】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 2 - 8 における出力判定部とエラー情報メモリ部を示すブロック図。

【図 5 2】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 3 - 1 における B O S T 組立の展開図。

【図 5 3】 実施の形態 3 - 1 における B O S T 組立の側面図。

【図 5 4】 実施の形態 3 - 1 における記憶媒体へのデータの書き込みシステムの説明図。

【図 5 5】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 3 - 2 における B O S T 制御部と T P M 部と P G 部を示すブロック図。

【図 5 6】 実施の形態 3 - 2 の詳細を示すブロック図。

【図 5 7】 実施の形態 3 - 2 による試験手順を示すフローチャート。

【図 5 8】 実施の形態 3 - 2 の動作を示すタイミングチャート。

【図 5 9】 実施の形態 3 - 2 による試験手順を示すフローチャート。

【図 6 0】 実施の形態 3 - 2 の動作を示すタイミングチャート。

【図 6 1】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 3 - 3 における P G 部を示すブロック図。

【図 6 2】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 4 - 1 における B O S T 組立の展開

図。

【図 6 3】 実施の形態 4 - 1 における B O S T 組立の側面図。

【図 6 4】 実施の形態 4 - 1 における記憶媒体へのデータの書き込み、読み出しシステムの説明図。

【図 6 5】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 4 - 2 における B O S T 制御部とエラー情報メモリ部を示すブロック図。

【図 6 6】 実施の形態 4 - 2 の詳細を示すブロック図。

【図 6 7】 実施の形態 4 - 2 による試験手順を示すフローチャート。

【図 6 8】 実施の形態 4 - 2 の動作を示すタイミングチャート。

【図 6 9】 実施の形態 4 - 2 による試験手順を示すフローチャート。

【図 7 0】 実施の形態 4 - 2 の動作を示すタイミングチャート。

【図 7 1】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 4 - 3 におけるエラー情報メモリ部を示すブロック図。

【図 7 2】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 5 - 1 におけるテストヘッド装置の構成図。

【図 7 3】 実施の形態 5 - 1 におけるアナログ試験用 B O S T 装置の詳細を示すブロック図。

【図 7 4】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 5 - 2 におけるテストヘッド装置の構成図。

【図 7 5】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 5 - 3 におけるテストヘッド装置の構成図。

【図 7 6】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 5 - 4 におけるテストヘッド装置の構成図。

【図 7 7】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 5 - 5 における B O S T 組立の展開図。

【図 7 8】 この発明の半導体集積回路の製造方法に使用される、この発明による半導体集積回路の試験装置の実施の形態 5 - 6 における B O S T 組立の展開図。

【図 7 9】 実施の形態 5 - 6 の試験切替構成を示すブロック図。

【符号の説明】

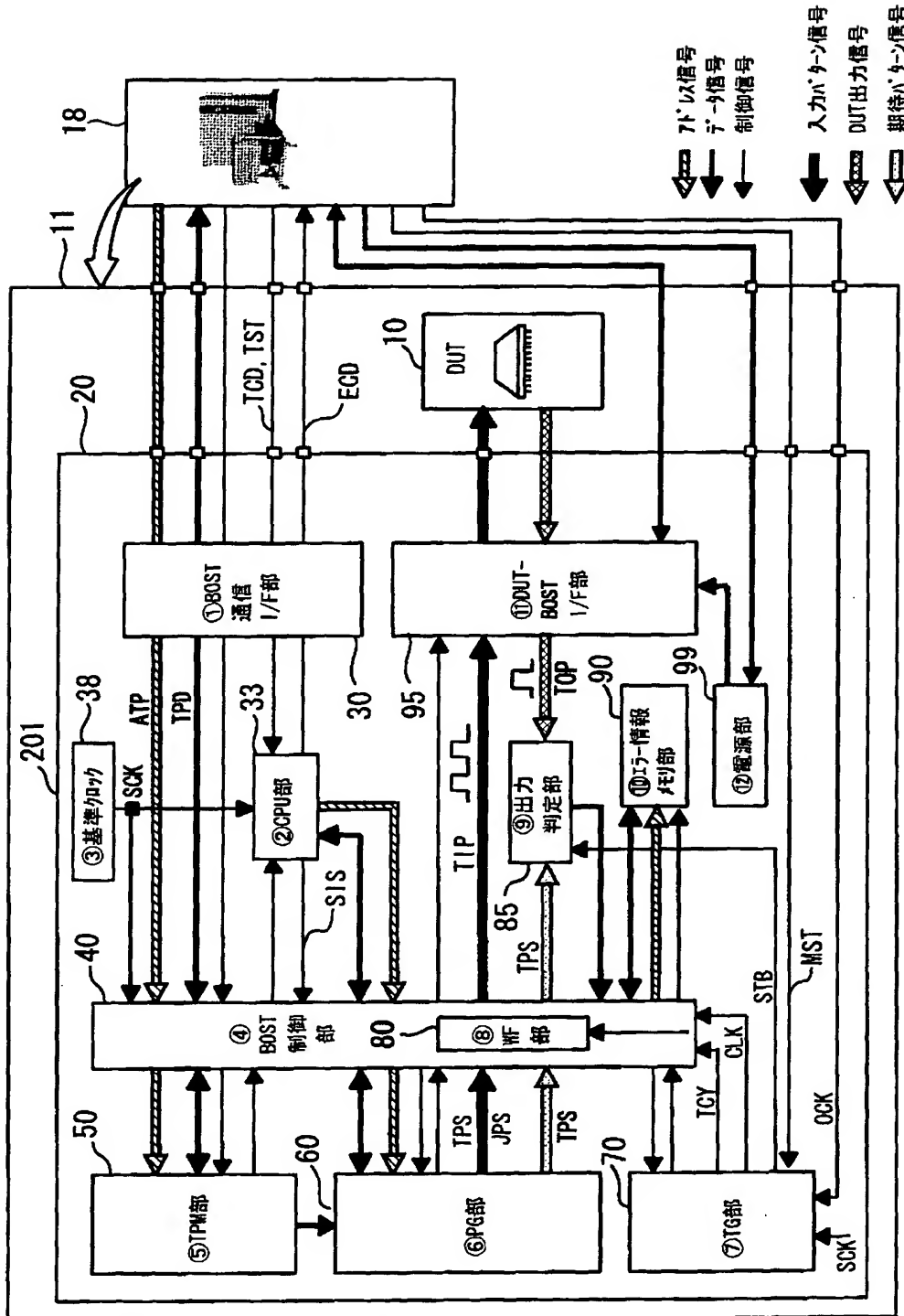
1 0 被試験半導体集積回路、 1 1 テスト回路基板 (DUT ボード)、
1 8 試験機 (テスタ)、 2 0 テスト補助装置 (BOST 装置)、
2 0 1 BOST 回路基板 (BOST ボード)、
3 0 BOST 通信 I/F 部、 3 3 CPU 部、 3 8 基準クロック部、
4 0 BOST 制御部、 5 0 テストパターンメモリ部 (TPM 部)、
6 0 テストパターン信号発生器 (PG 部)、
7 0 タイミング信号発生器 (TG 部)、 8 0 波形整形部 (WF 部)、
8 5 出力判定部、 9 0 エラー情報判定部、
9 5 DUT・BOST I/F 部、 9 9 電源部、
7 0 0 テスト周期信号発生回路、 7 1 0 クロック信号発生回路、
7 2 0 ストローブ信号発生回路、
2 0 A 共通部分、 2 0 B チャンネル部分、
1 1 0 テスト回路基板 (DUT ボード)、
1 2 A、1 2 B、1 2 C、1 2 D テストヘッド装置、
2 1 0 A、2 1 0 B、2 1 0 C、2 1 0 D、2 1 0 E、2 1 0 F、2 1 0 G、
2 1 0 H、2 1 0 I、2 1 0 J BOST 組立、
2 1 1、2 1 2、2 1 3、2 1 4、2 1 5、2 1 5 A、2 1 5 B 回路基板、
1 2 E、1 2 F テストヘッド装置、 1 2 0 テストヘッド、
4 1 0、4 1 0 A プログラムカウンタ、
4 7 5 パラレルシリアル変換器、
7 0 0 A テスト周期信号発生回路、 7 1 0 A セットクロック発生回路、

710B リセットクロック発生回路、715A ストロープ信号発生回路、
966 高レベル電圧発生器、967 低レベル電圧発生器、
971 判定用高レベル電圧発生器、972 判定用低レベル電圧発生器、
210K, 210L, 210M, 210N BOST組立、
230 記憶媒体、230A PCカード、620 デュアルポートメモリ、
630, 631 バンクメモリ、
210P, 210Q, 210R, 210S BOST組立、
90A エラー情報取込部、90B エラー情報記憶部、
920 デュアルポートメモリ、930, 931 バンクメモリ、
12G, 12H, 12I, 12J テストヘッド装置、
210T, 210U BOST装置、216 回路基板。

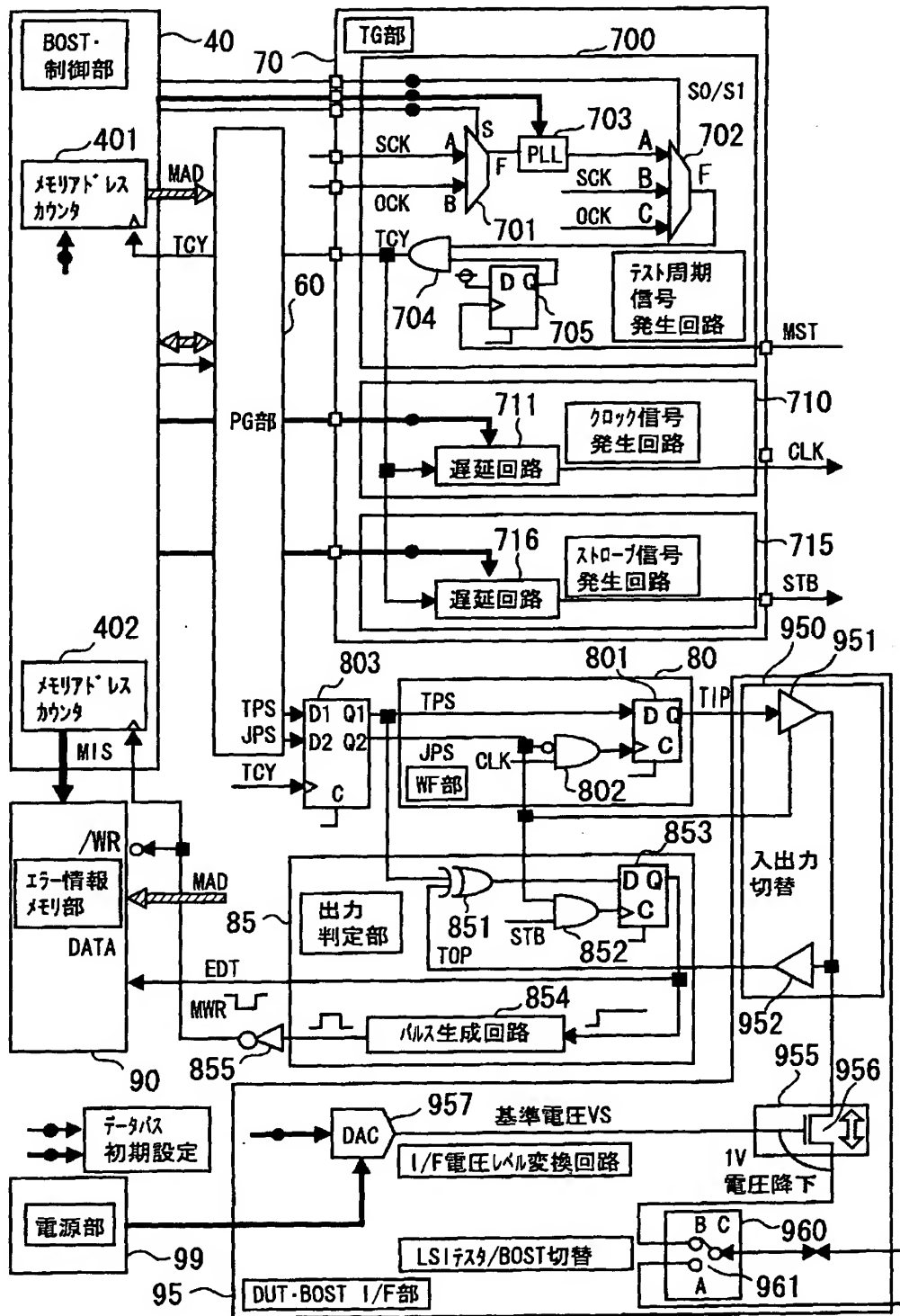
【書類名】

図面

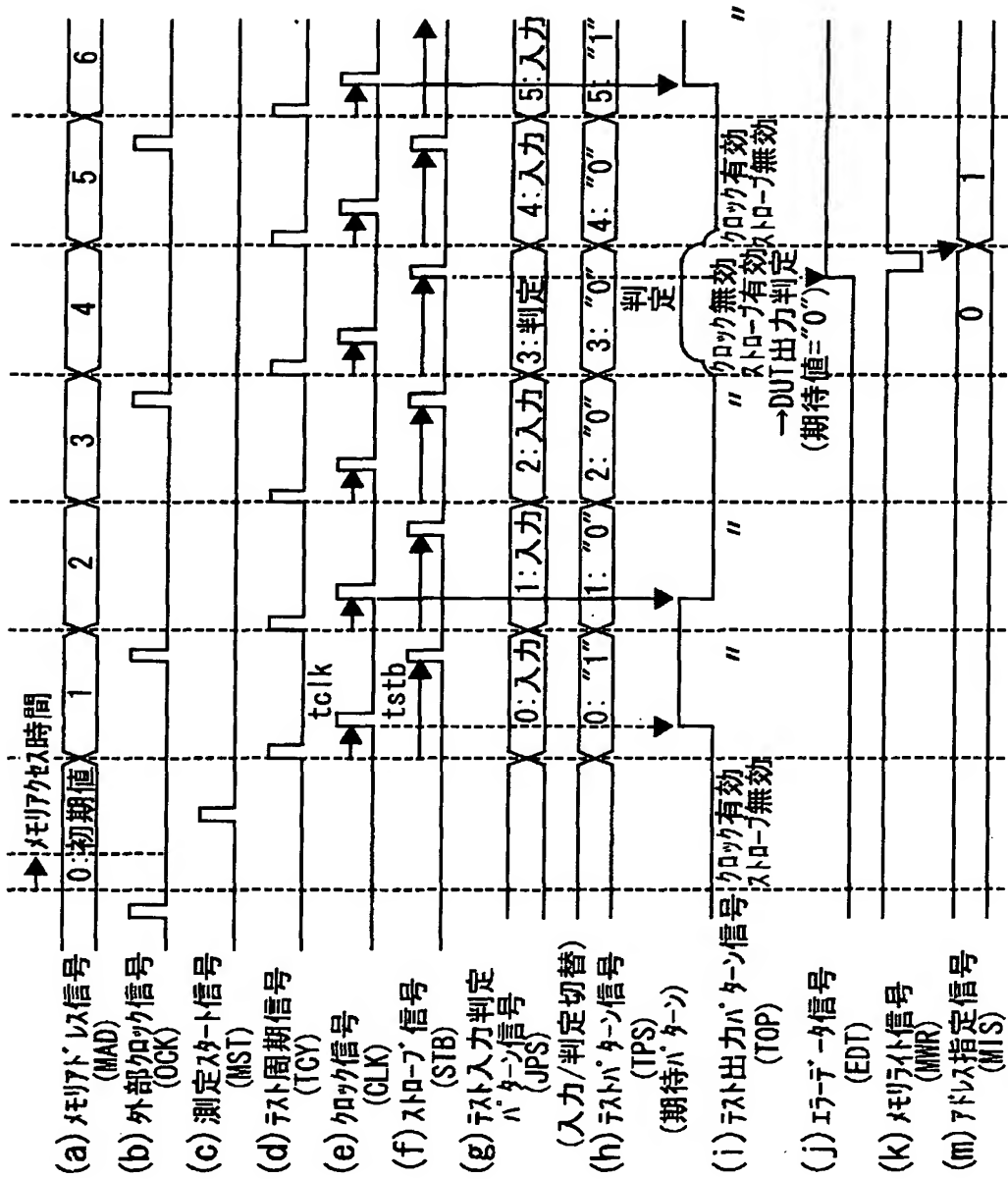
【図 1】



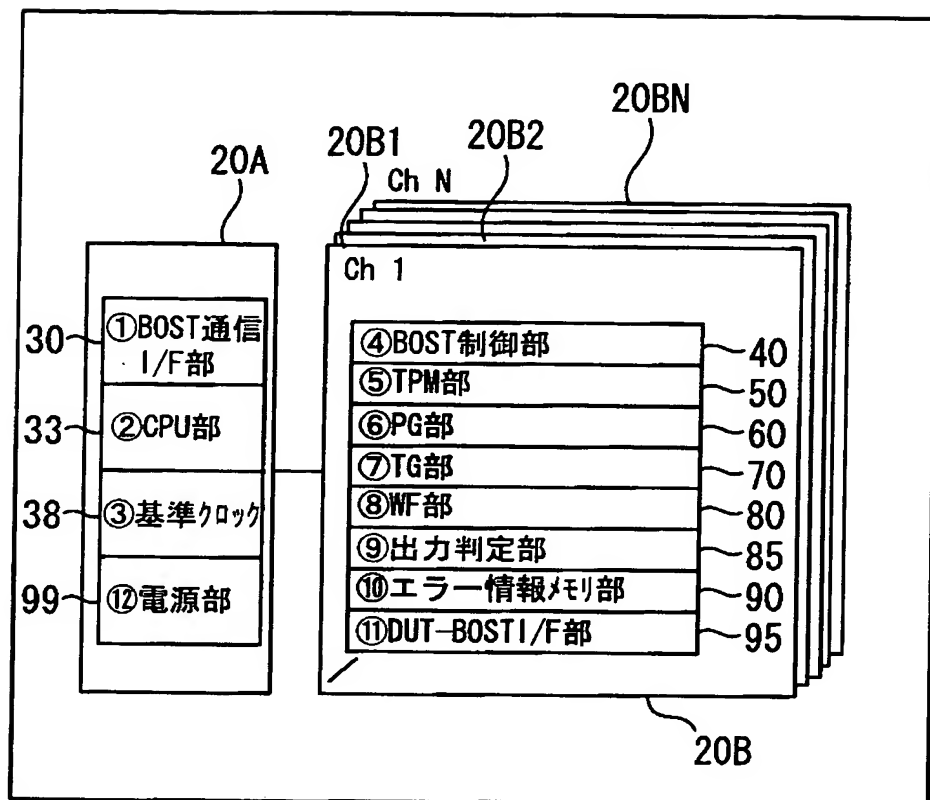
【図 2】



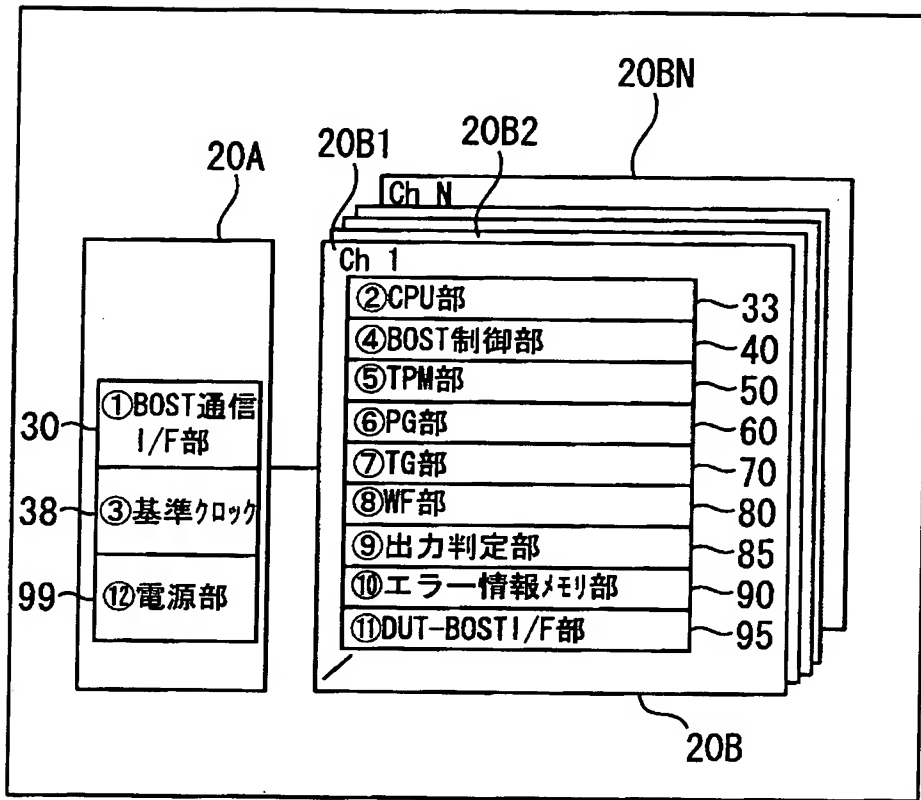
【図 3】



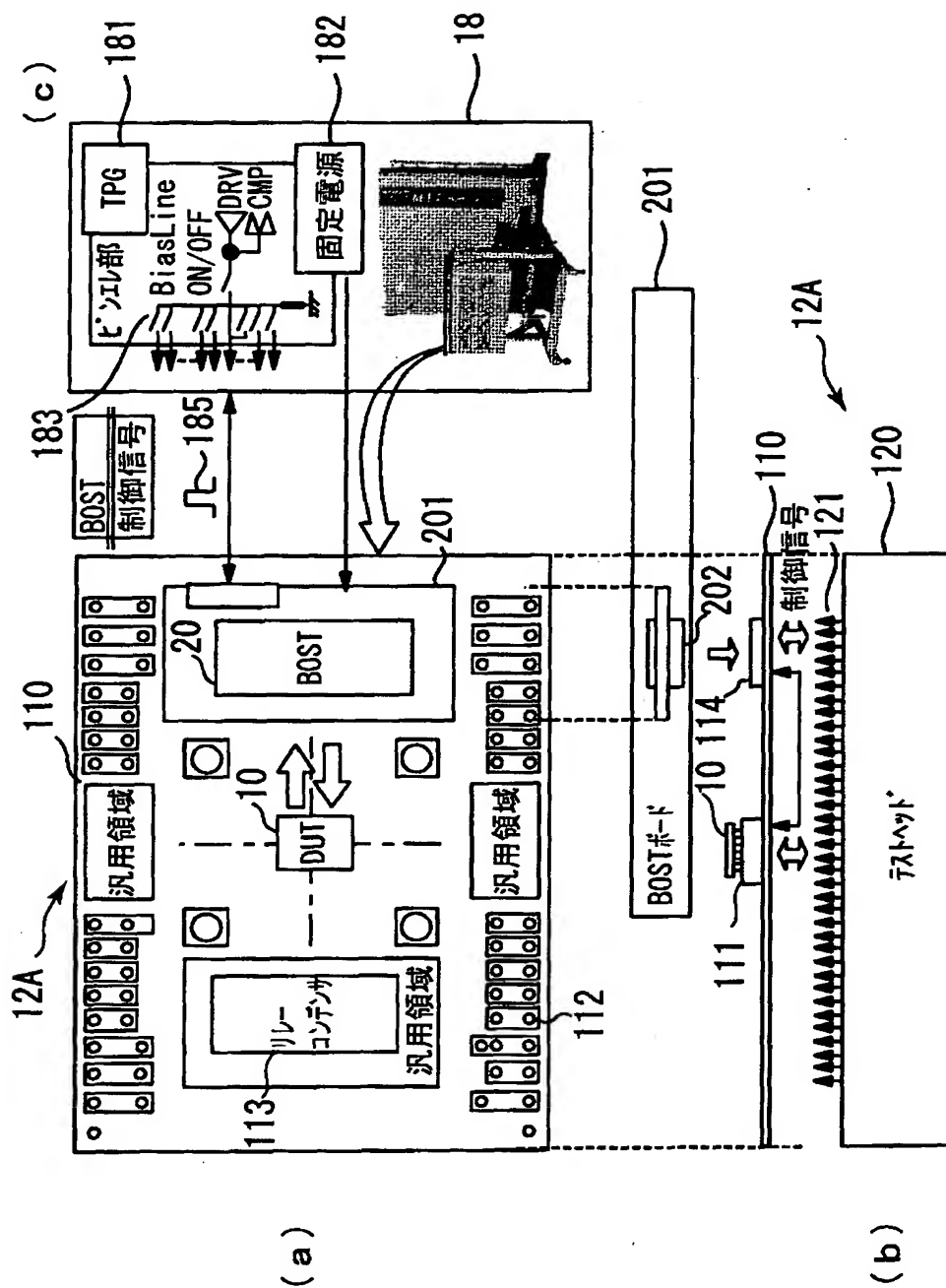
【図 4】



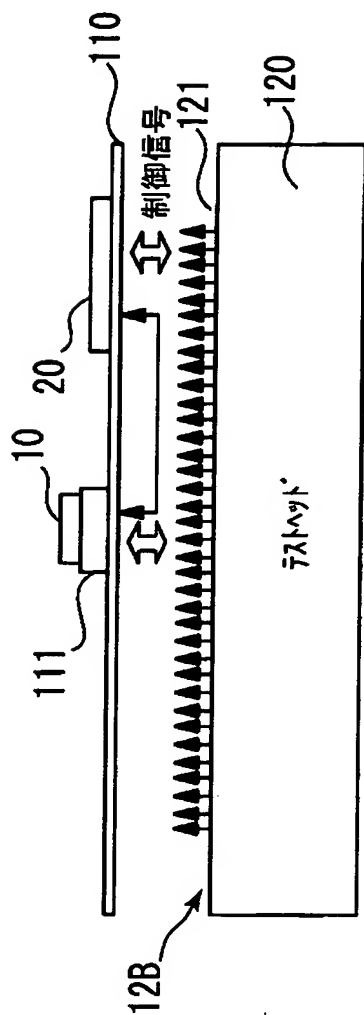
【図 5】



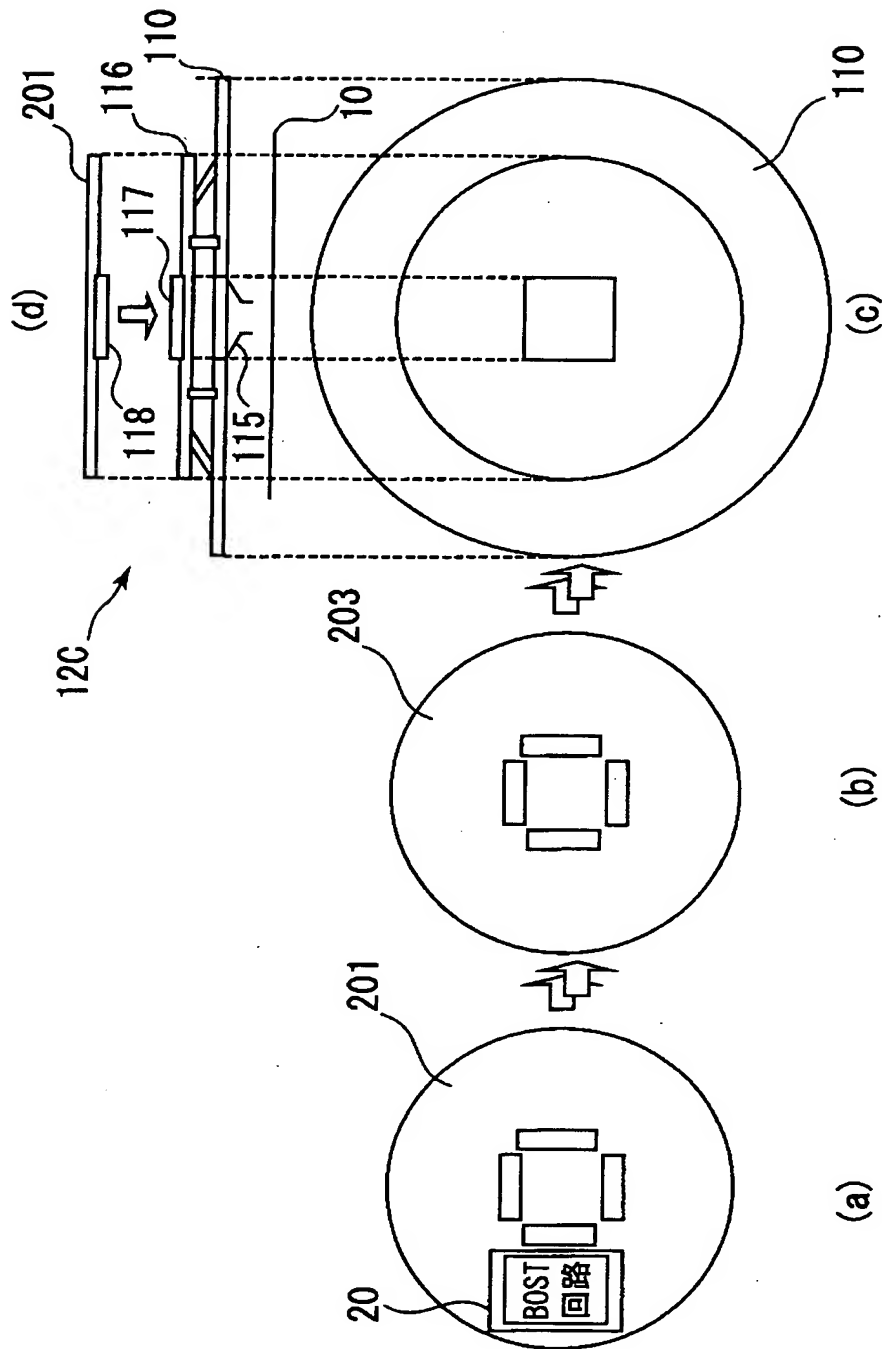
【図 6】



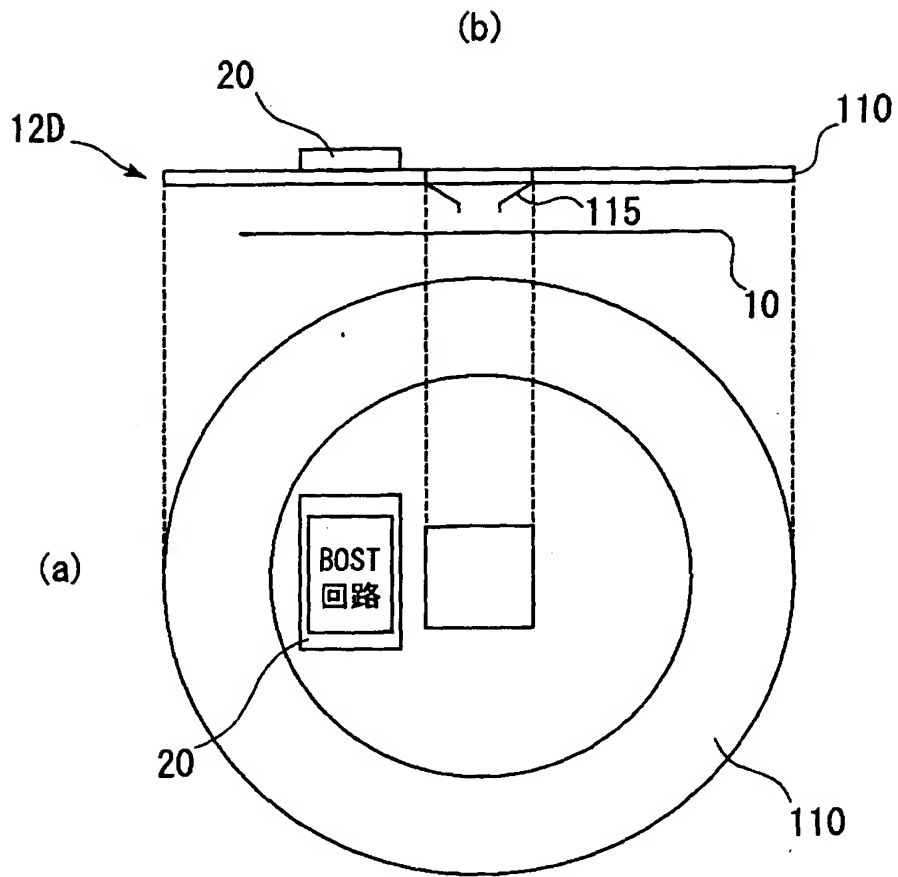
【図 7】



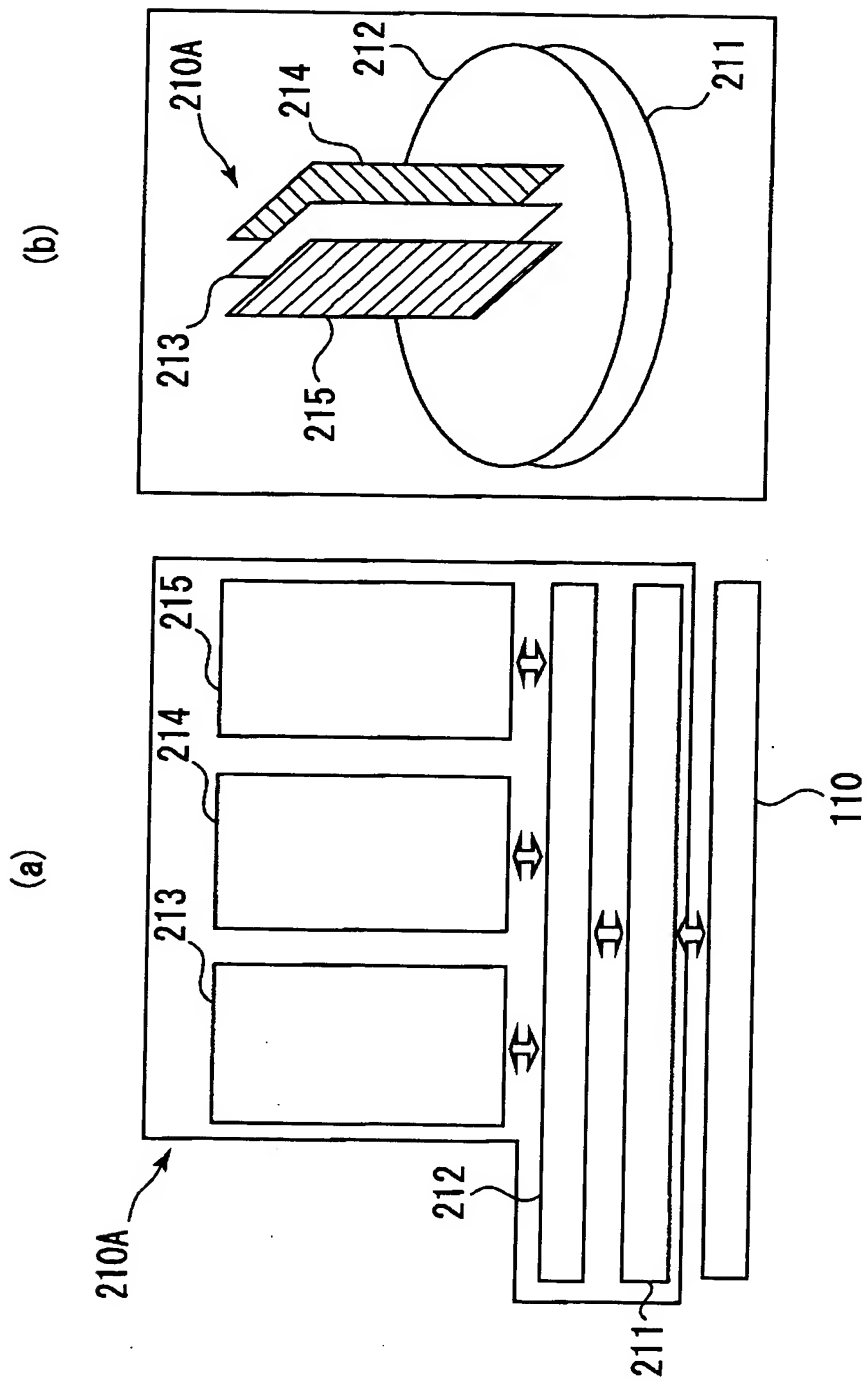
【図 8】



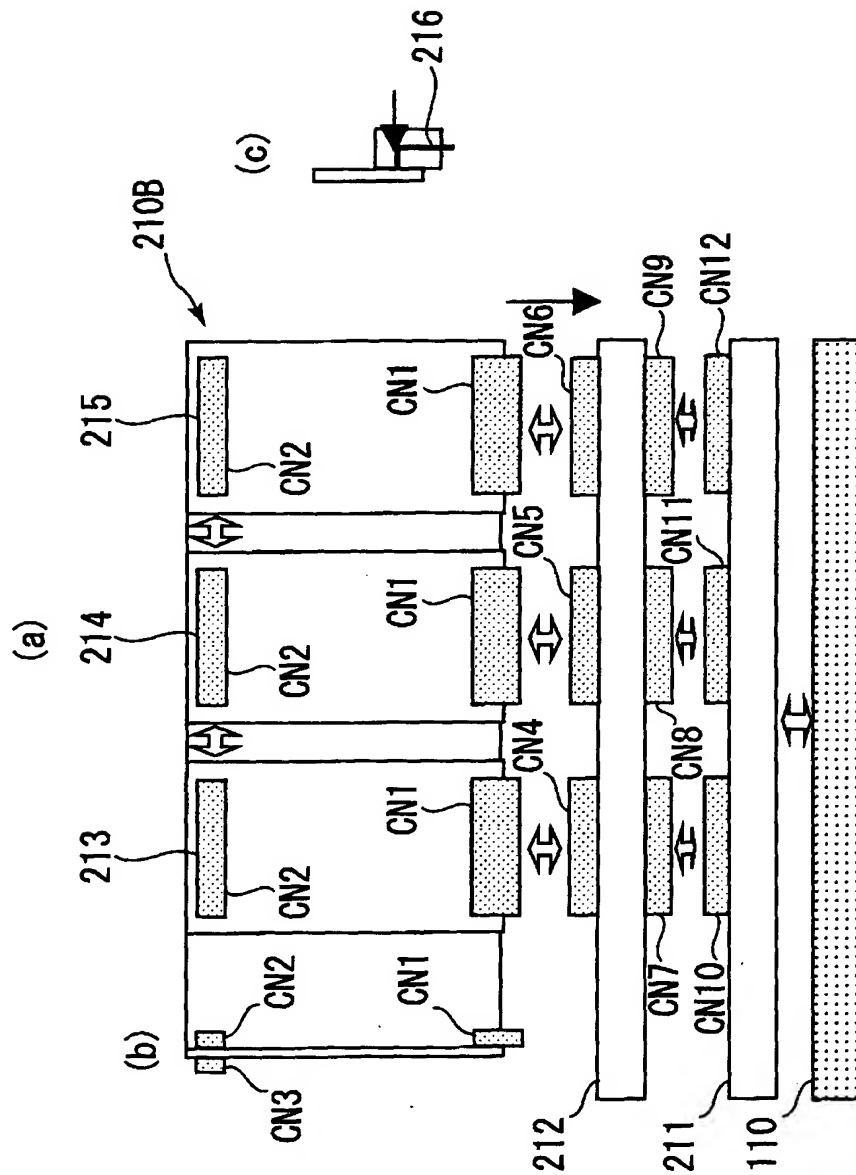
【図 9】



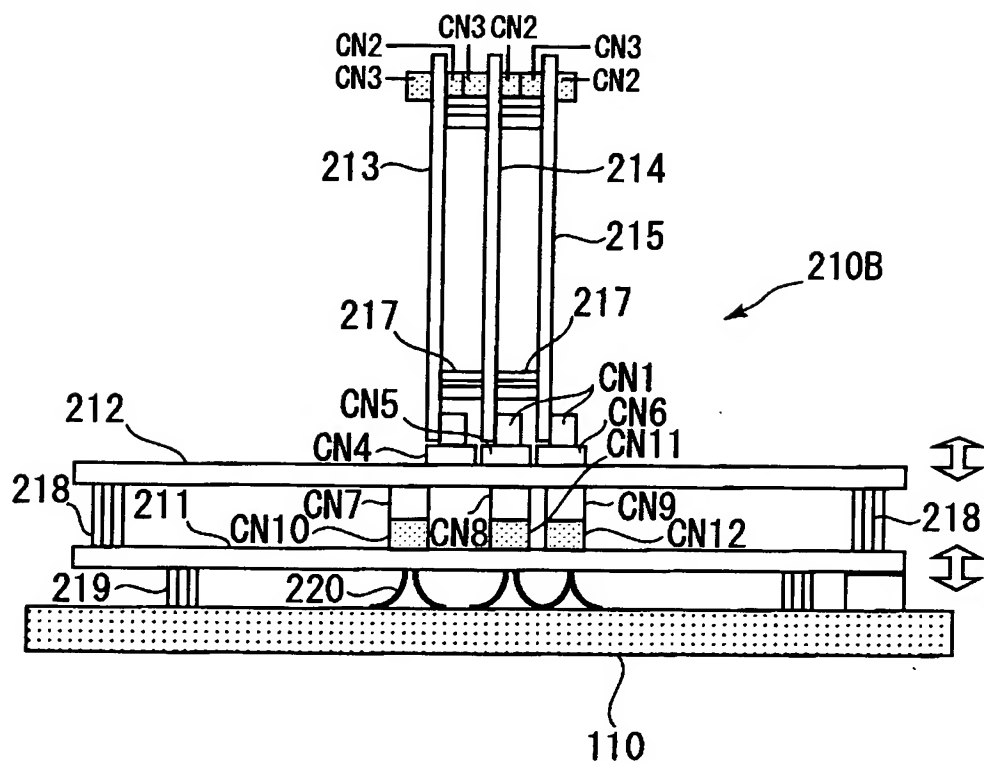
【図 1 0】



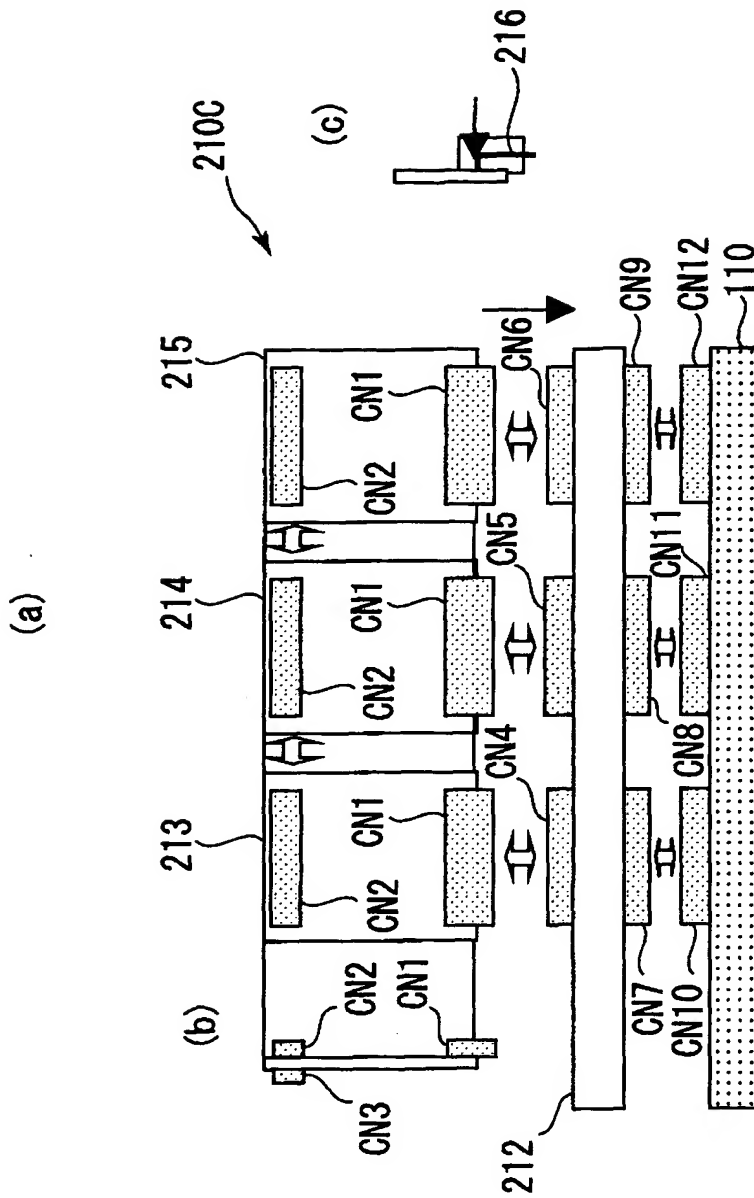
【図 11】



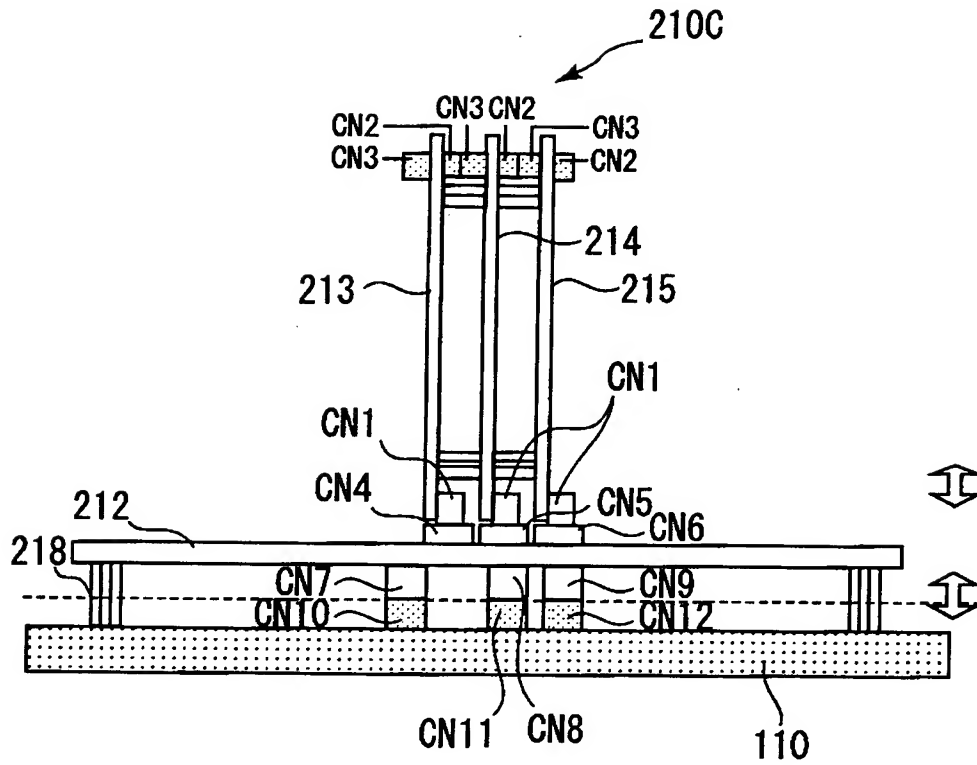
【图 1 2】



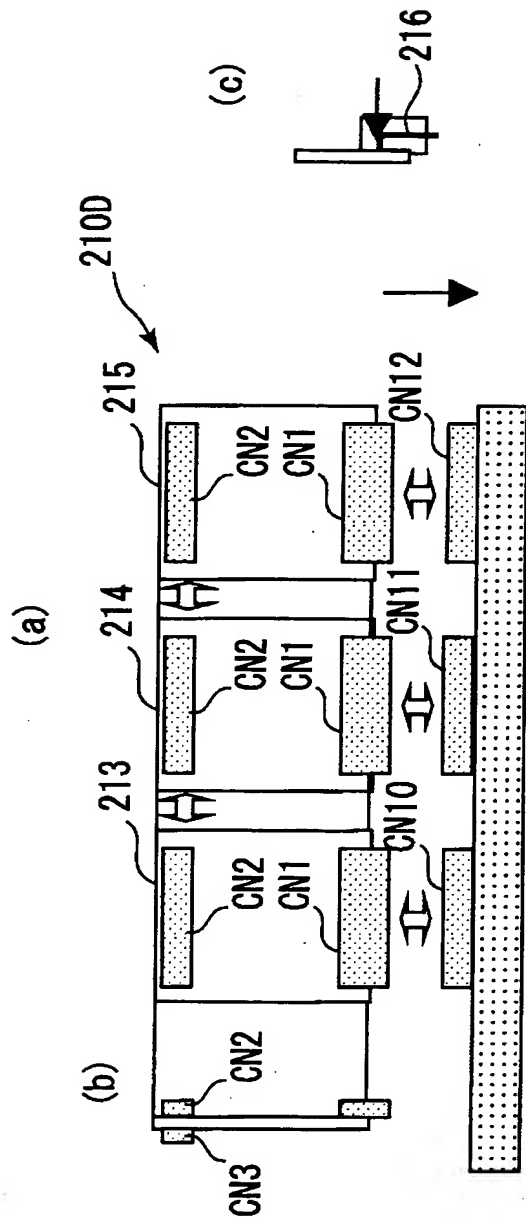
【図 13】



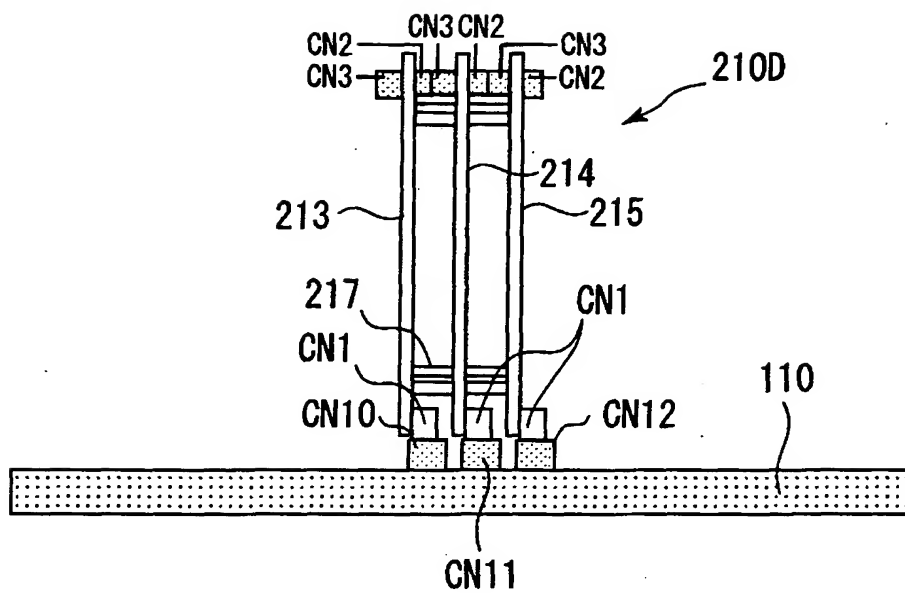
【図 14】



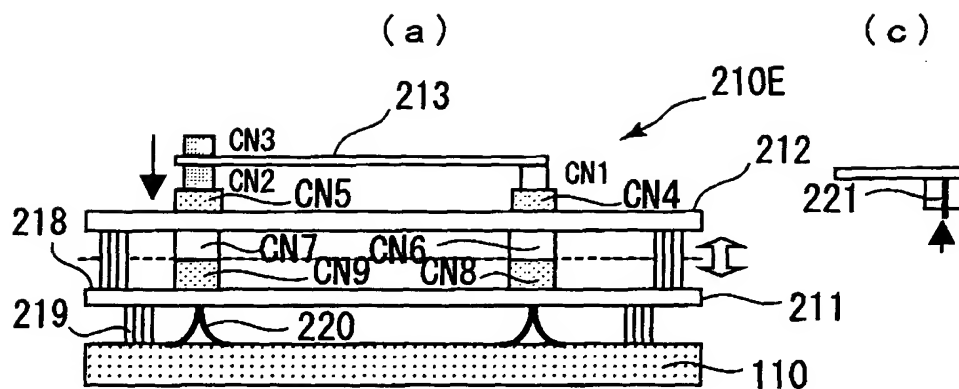
【図 15】



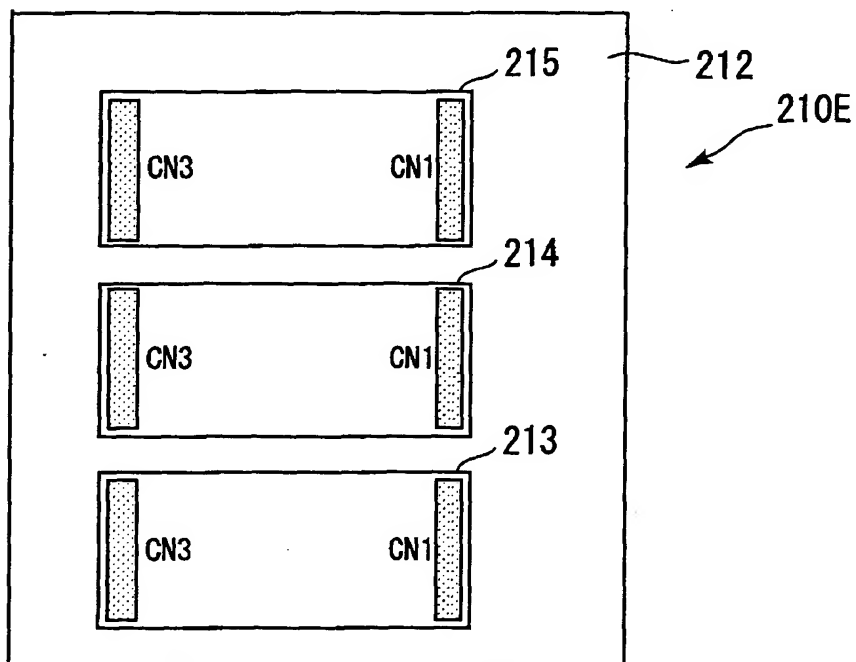
【図 16】



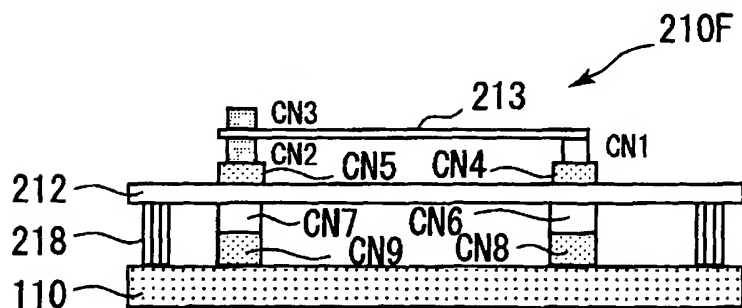
【図 17】



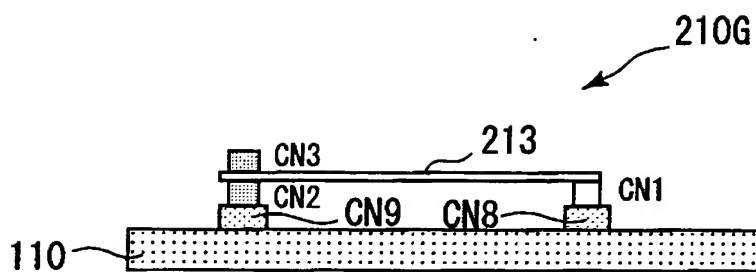
(b)



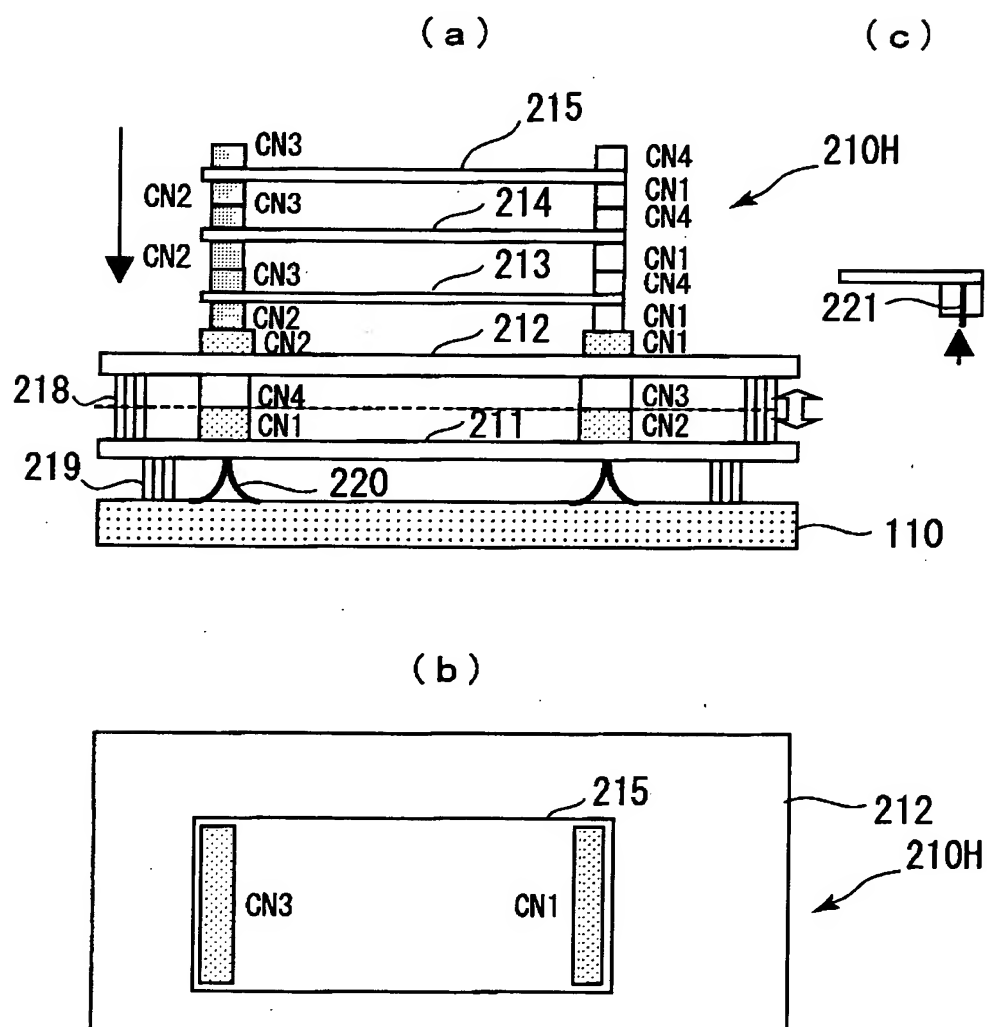
【図 18】



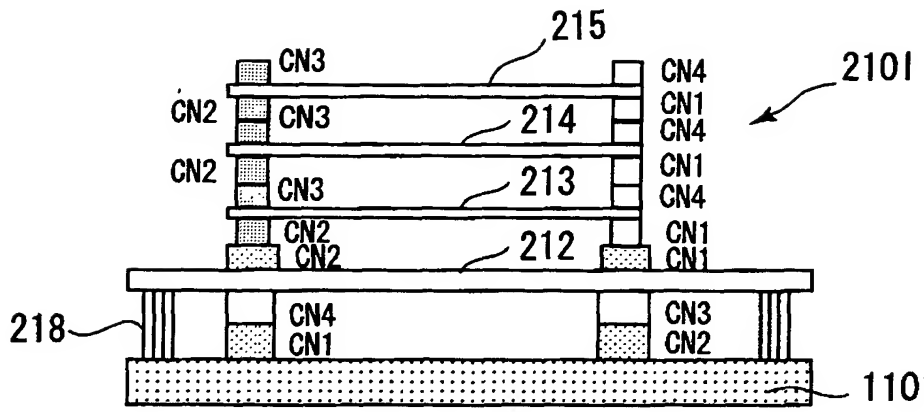
【图 19】



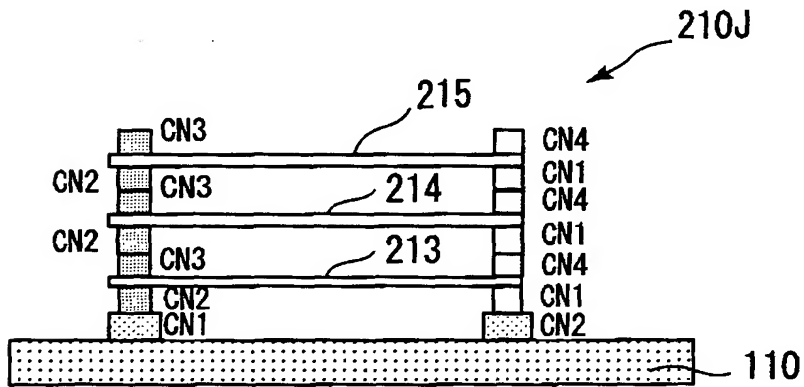
【図 20】



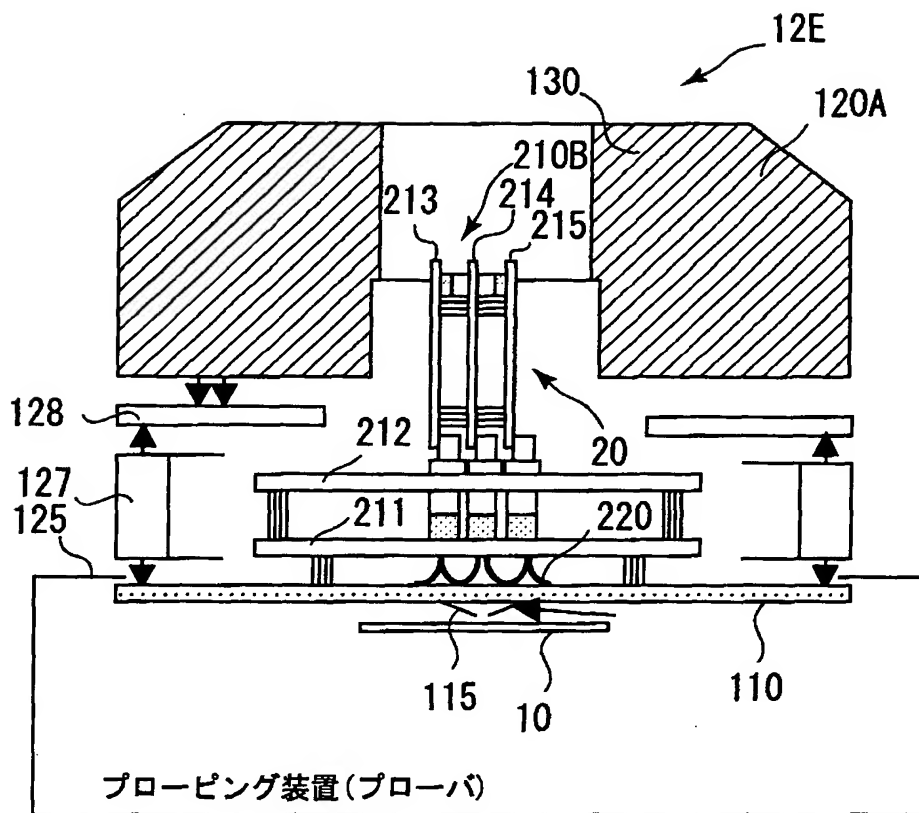
【図 2 1】



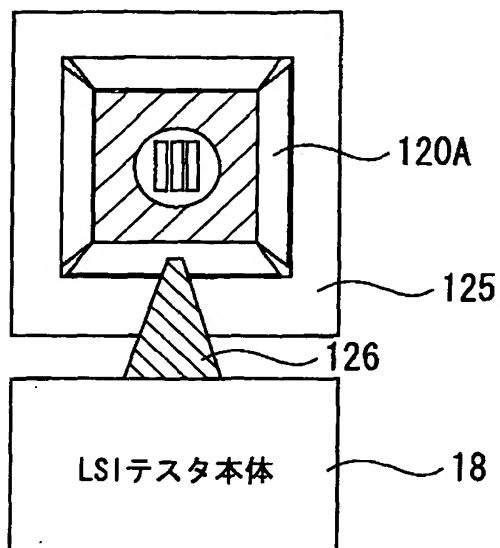
【図 2 2】



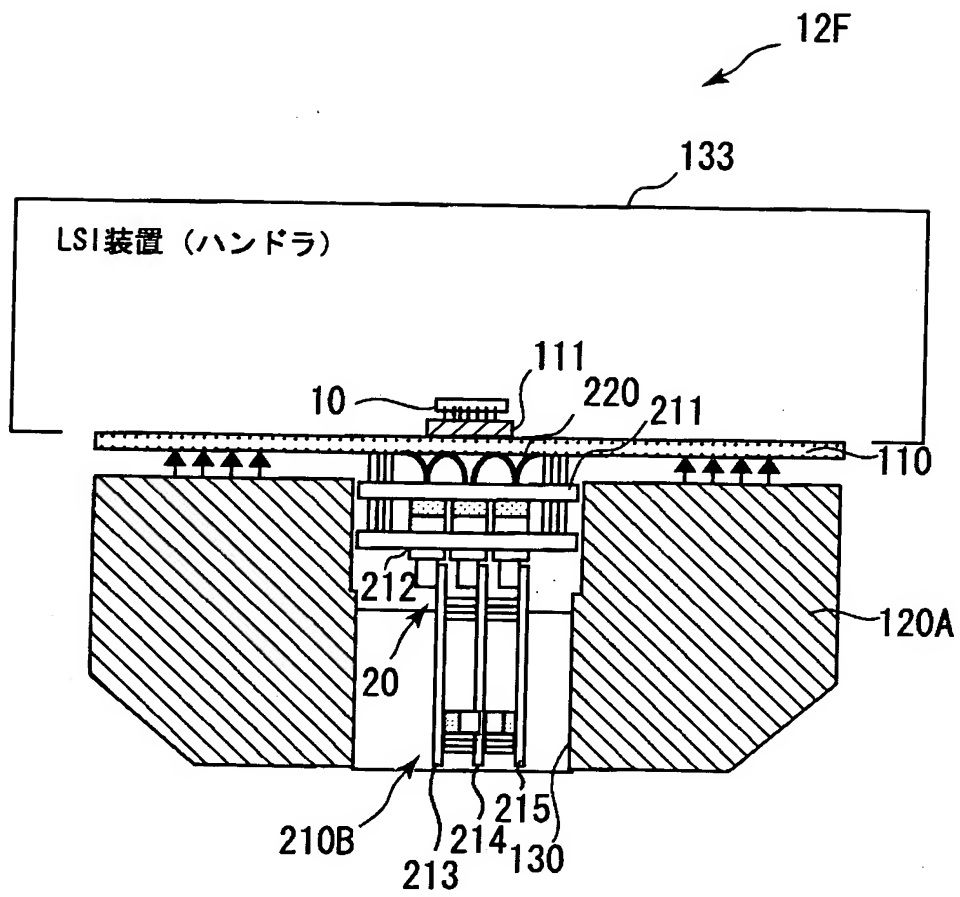
【図 23】



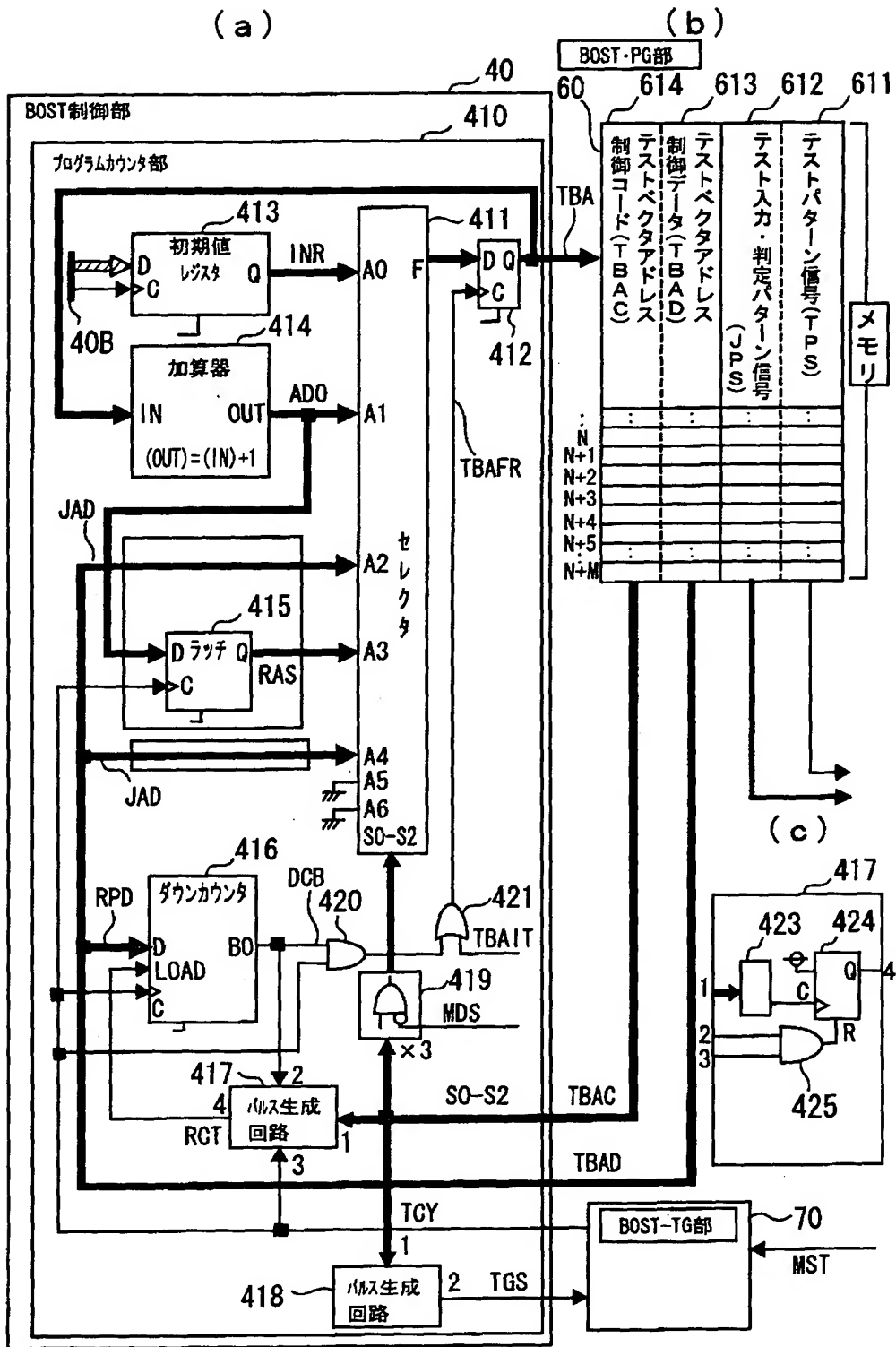
【図 24】



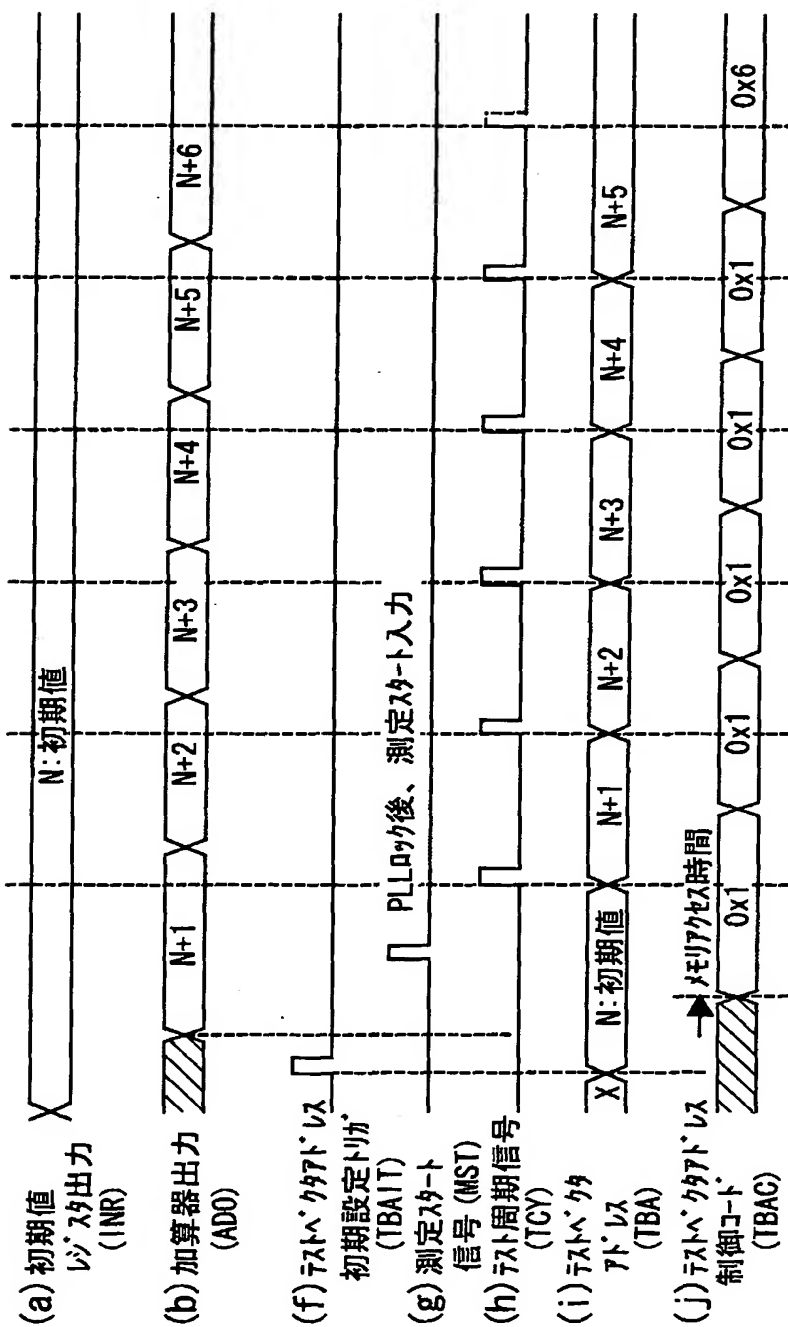
【図 25】



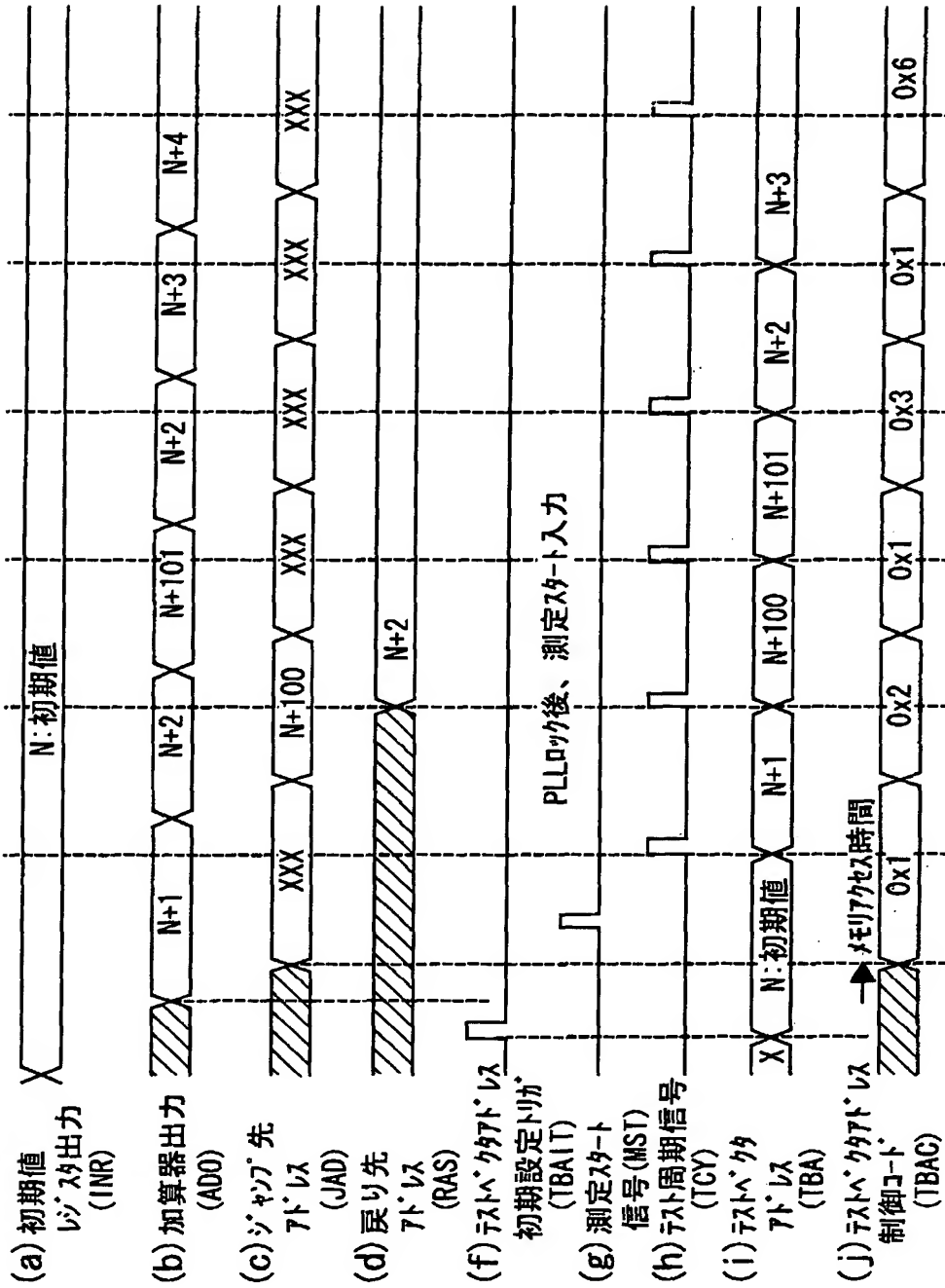
【図 26】



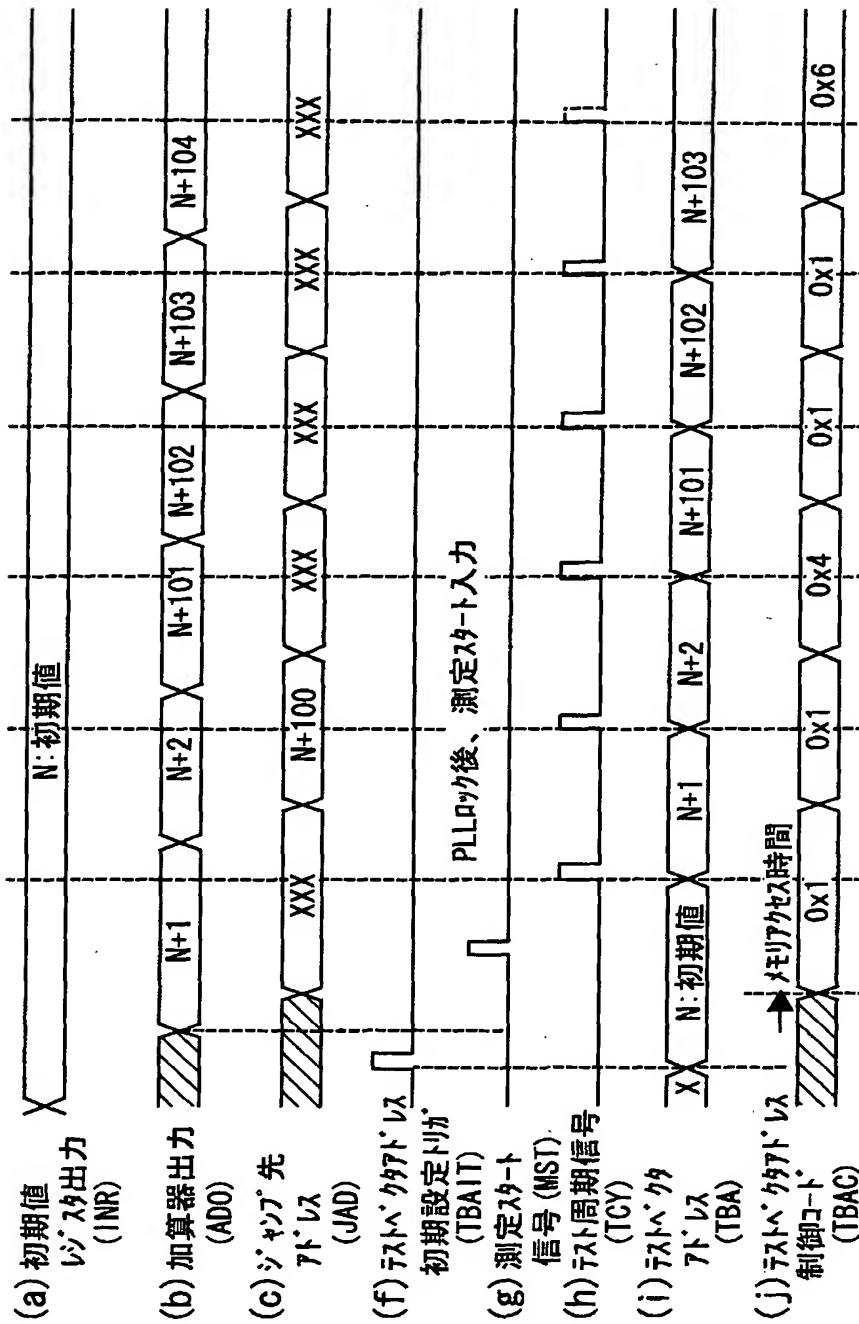
【図 27】



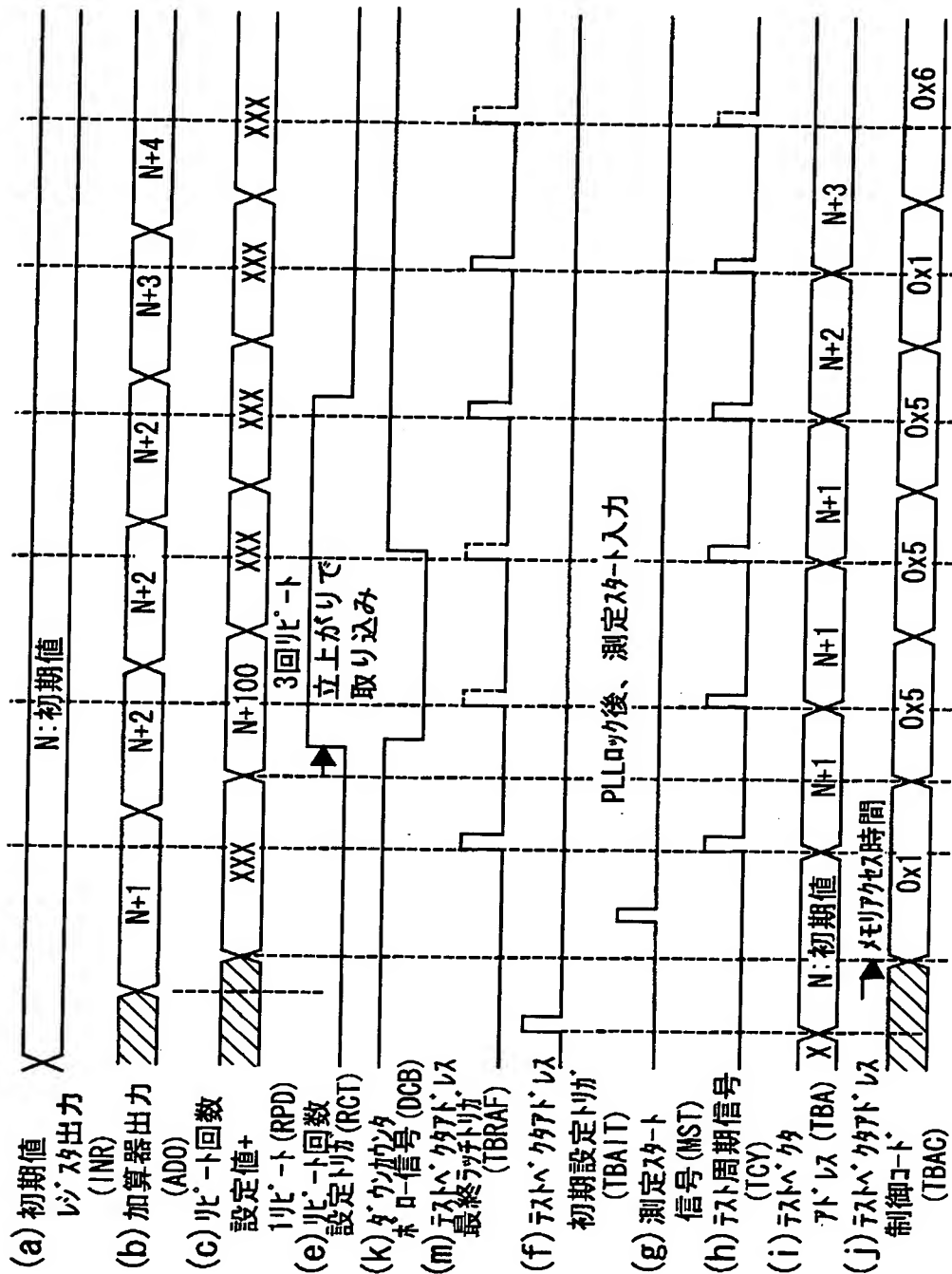
【図 28】



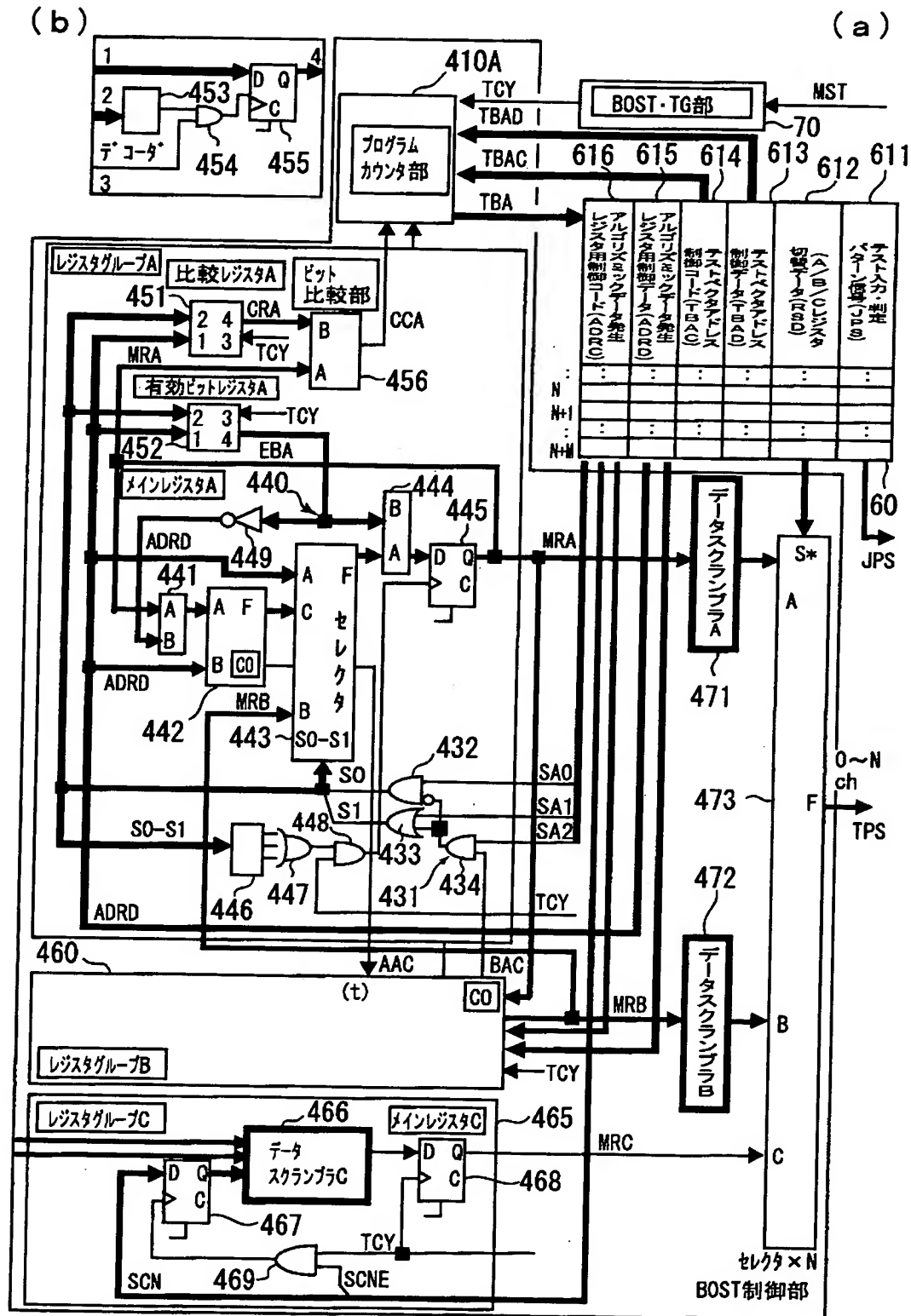
【図29】



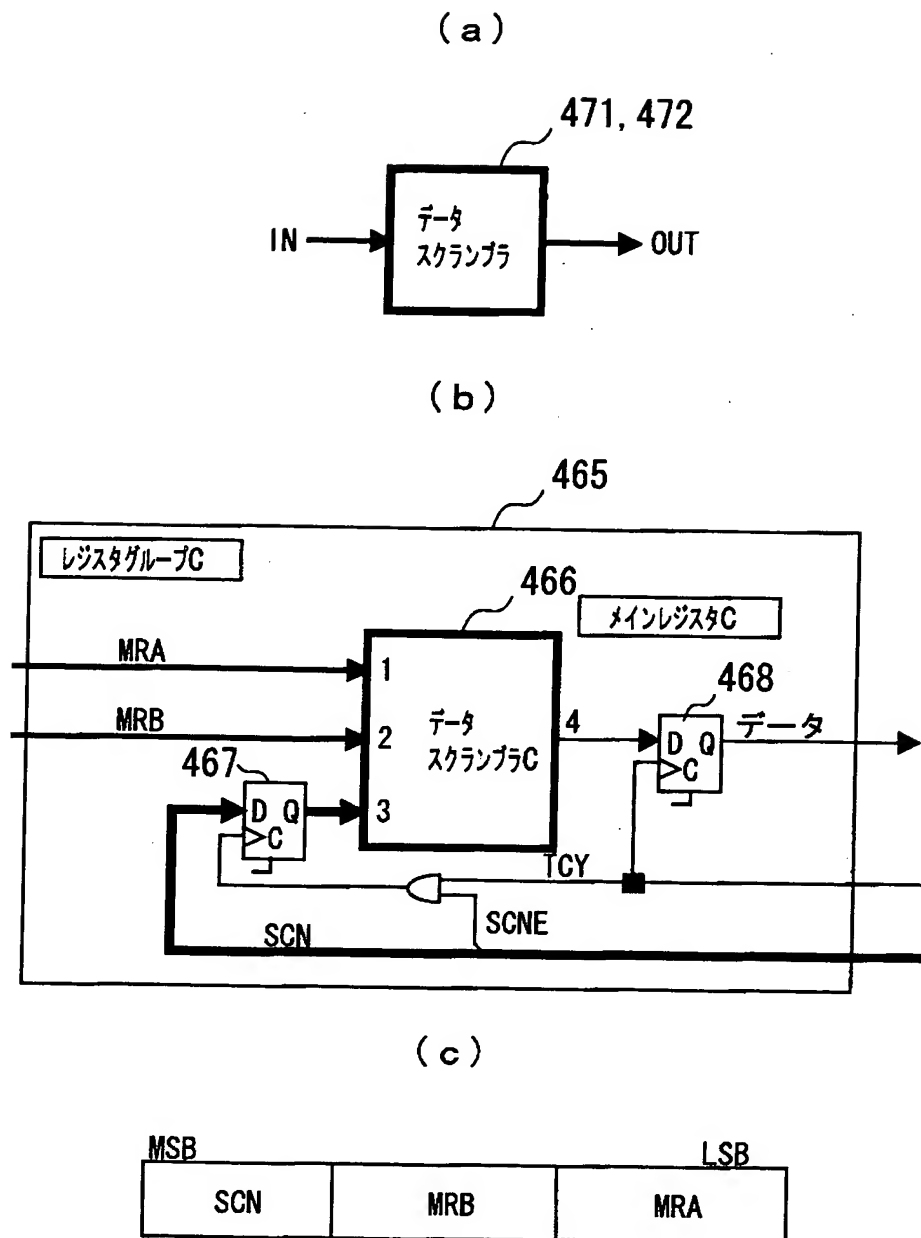
【図 30】



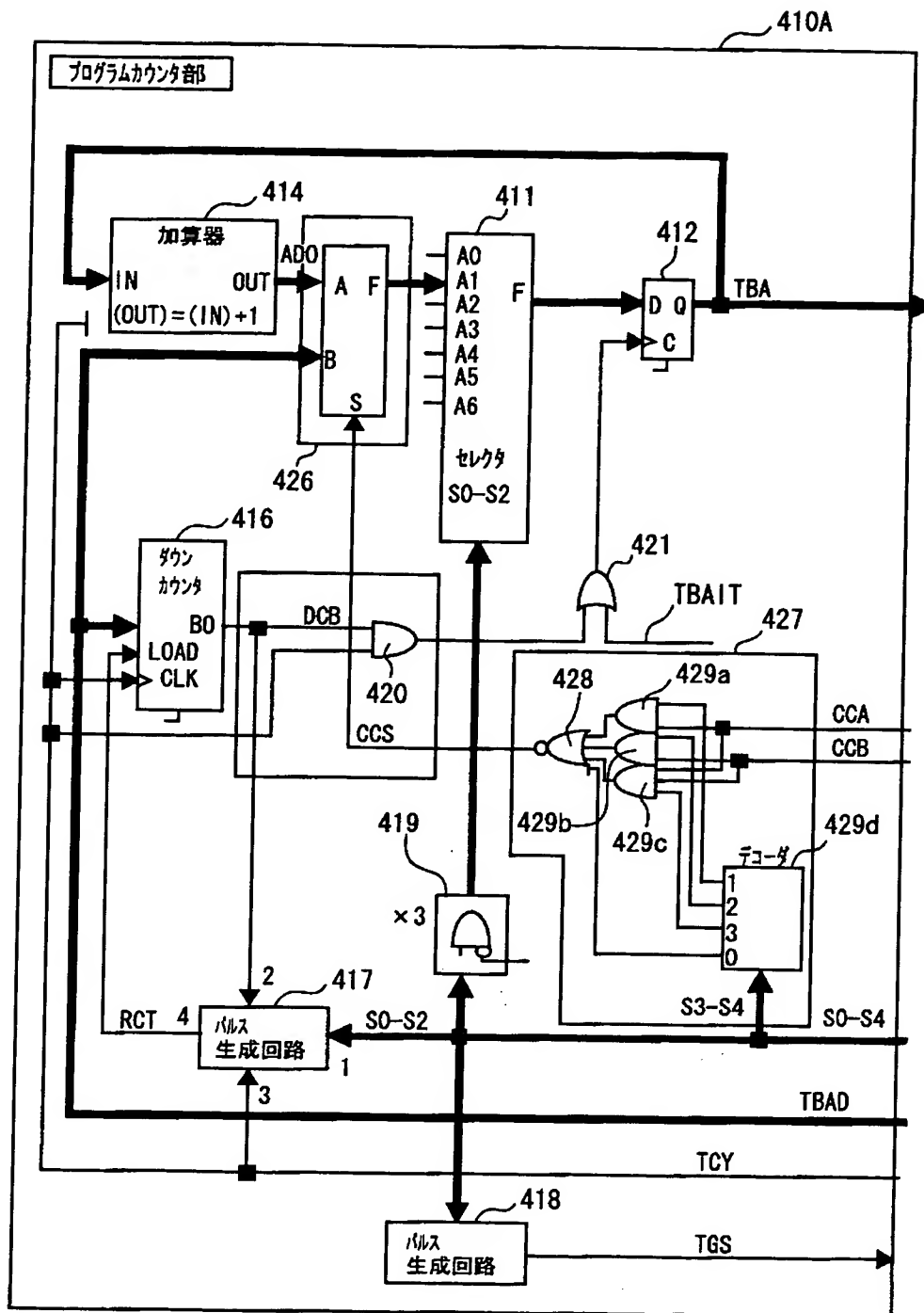
【図 3 1】



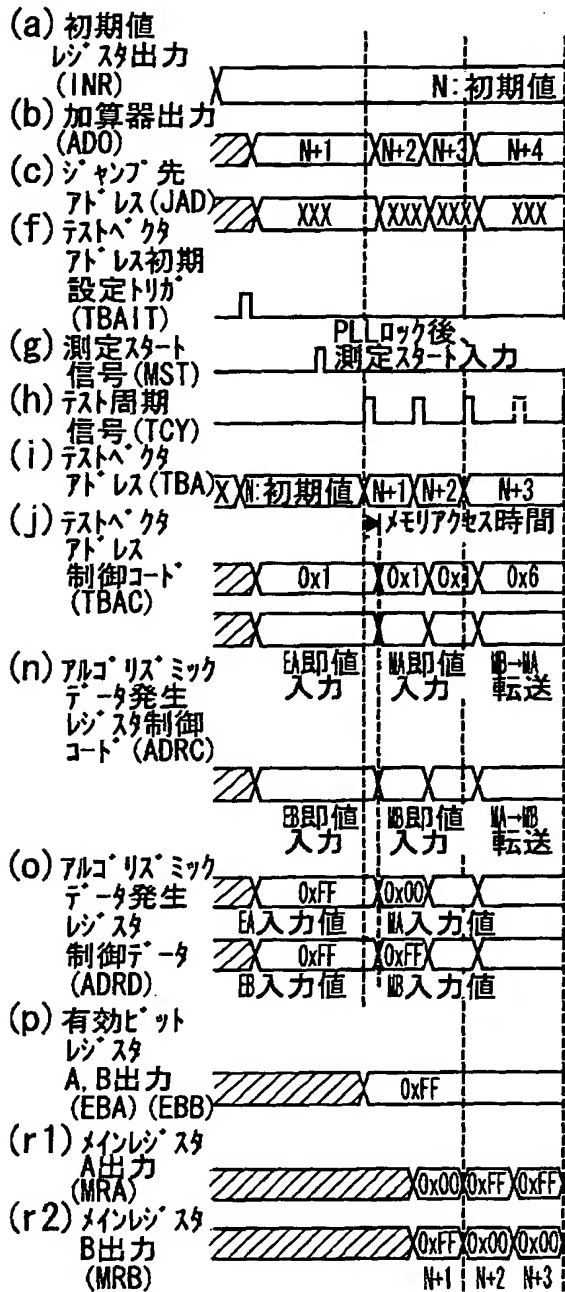
【図 3 2】



【図 33】



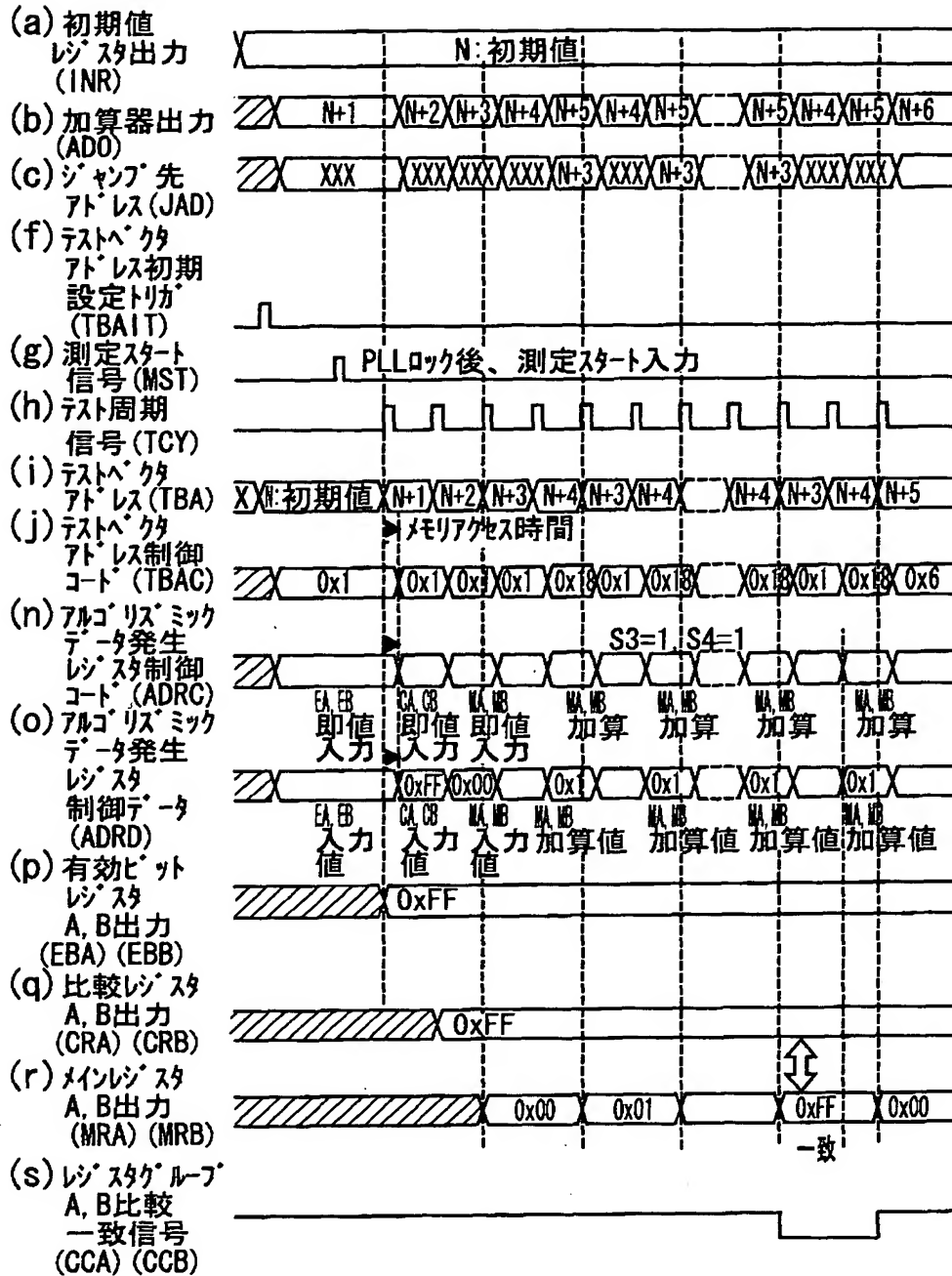
【図 34】



【図 3 5】

	TBA	TBAC(コード出力)	ADRC
↓	N	NOP (0x1)	EA=0xFF EB=0xFF
	N+1	NOP (0x1)	MA=0x00 MB=0xFF
	N+2	NOP (0x1)	MA=MB MB=MA
	N+3	STOP (0x6)	

【図 3 6】

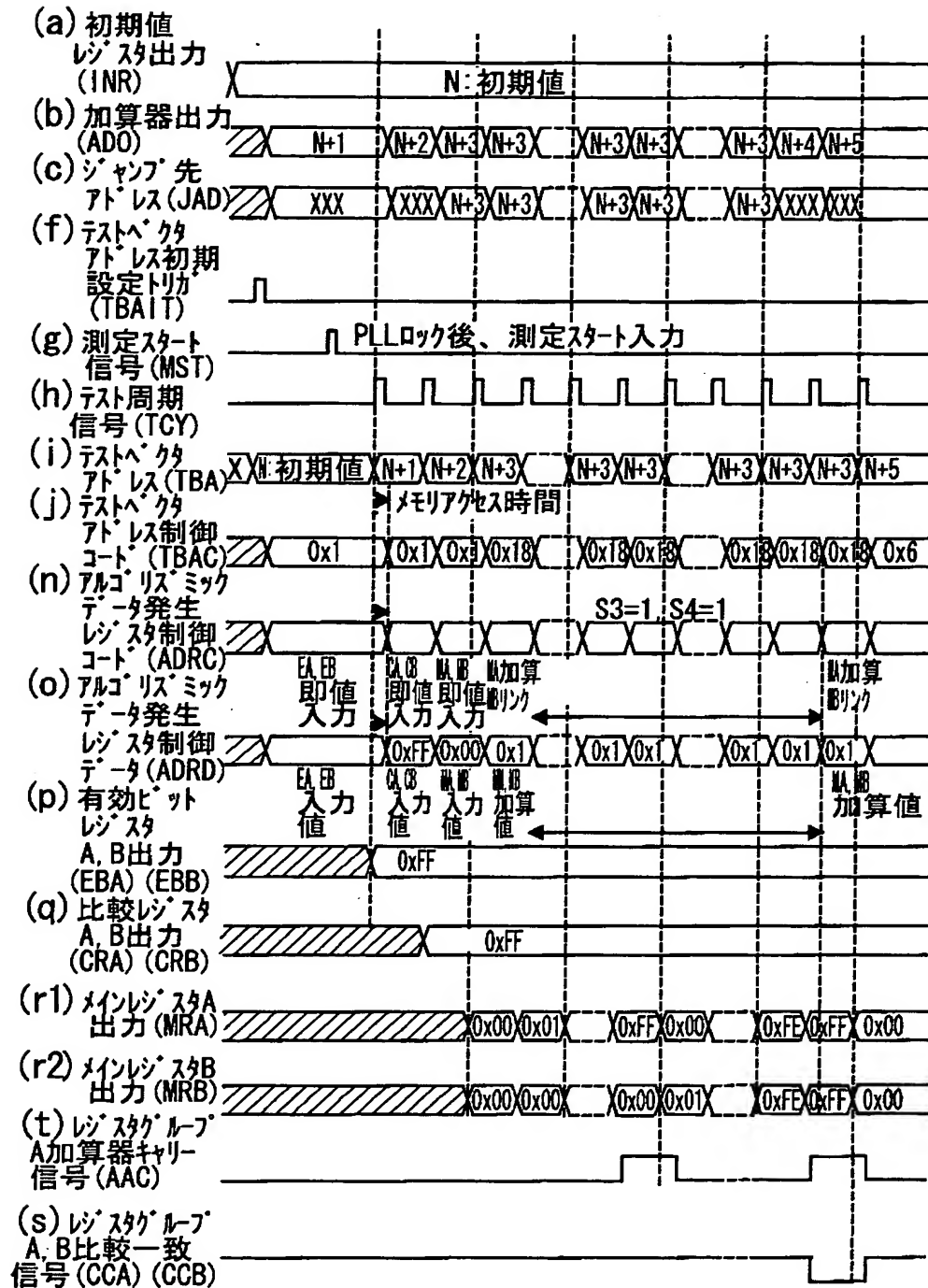


【図 3 7】



	TBA	TBAC (コード出力)	ADRC
↓	N	NOP (0x1)	EA=0xFF EB=0xFF
	N+1	NOP (0x1)	CA=0xFF CB=0xFF
	N+2	NOP (0x1)	MA=0x00 MB=0x00
	N+3	NOP (0x1)	MA=MA+1 MB=MB+1
	N+4	MAB/CAB N+3 (0x18)	MA=MA+1 MB=MB+1
	N+5	STOP (0x6)	



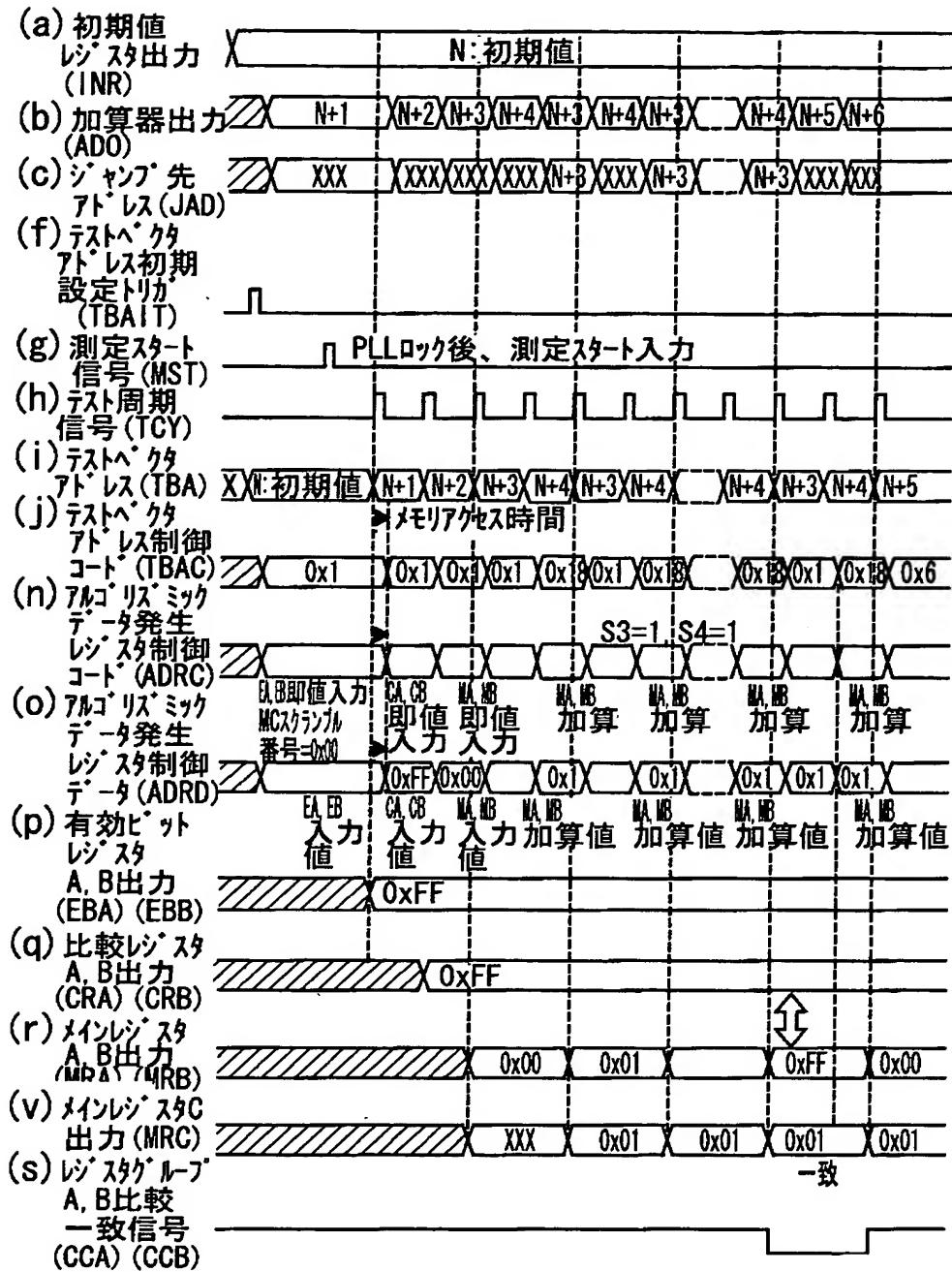
【図 3 8】



【図 3 9】

	TBA	TBAC (コード出力)	ADRC
	N	NOP (0x1)	EA=0xFF EB=0xFF
	N+1	NOP (0x1)	CA=0xFF CB=0xFF
	N+2	NOP (0x1)	MA=0x00 MB=0x00
	N+3	MAB/CAB N+3 (0x18)	MA=MA+1 LMB+1
	N+4	STOP (0x6)	

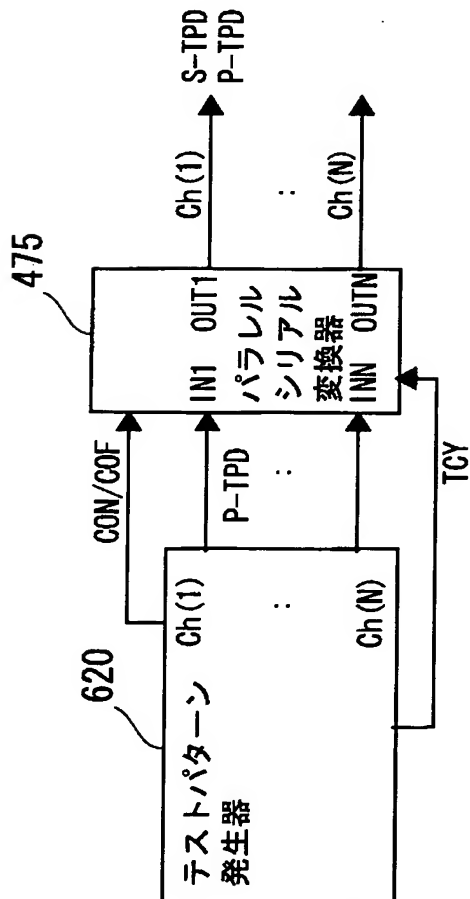
【図 40】



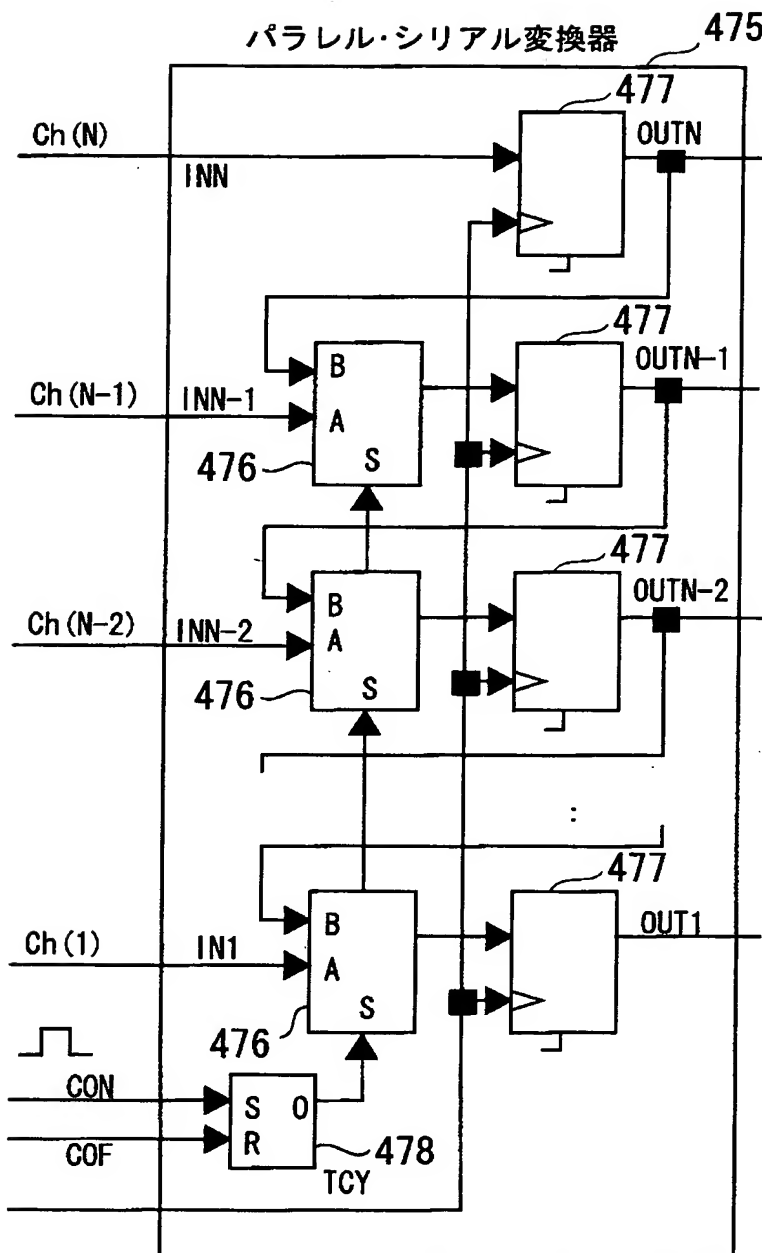
【図 4 1】

	TBA	TBAC (コード出力)	ADRC
N	N	NOP (0x1)	EA=0xFF EB=0xFF MC=0x00
N+1	N+1	NOP (0x1)	CA=0xFF CB=0xFF
N+2	N+2	NOP (0x1)	MA=0x00 MB=0x00
N+3	N+3	NOP (0x1)	MA=MA+1 MB=MB+1
N+4	N+4	MAB/CAB N+3 (0x18)	MA=MA+1 MB=MB+1
N+5	N+5	STOP (0x6)	

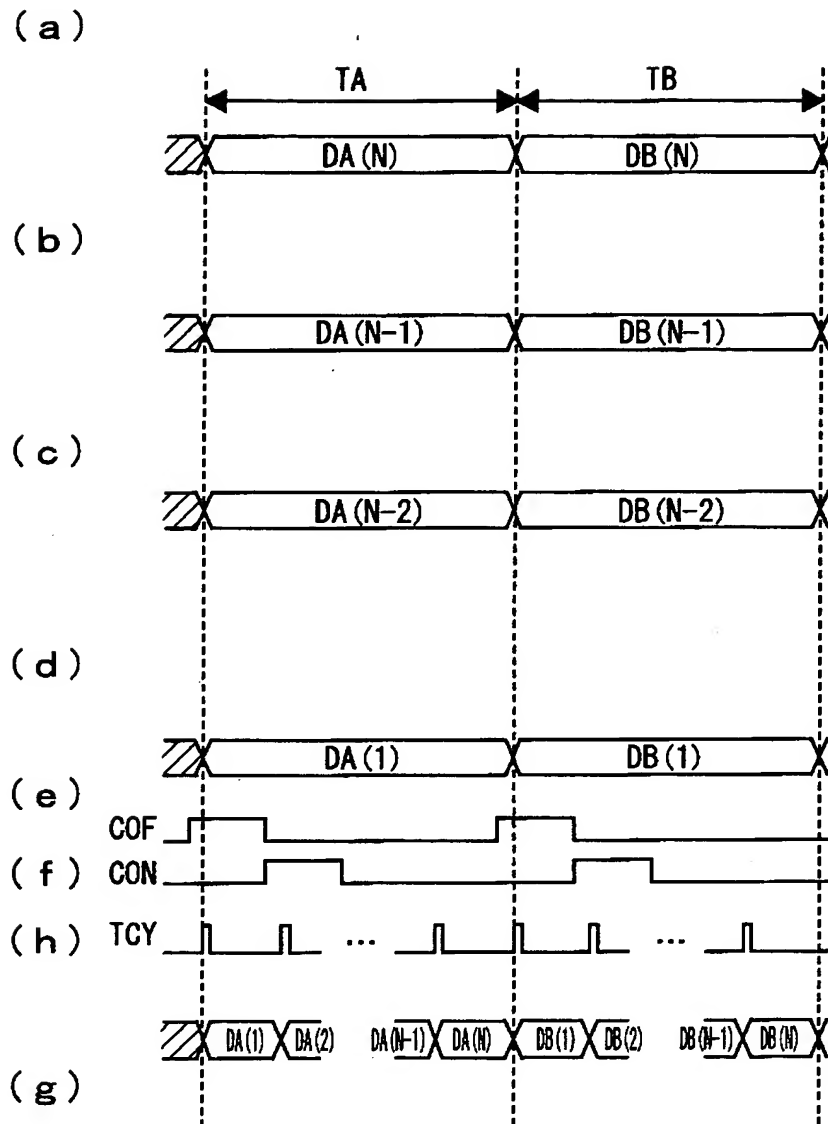
【図 4 2】



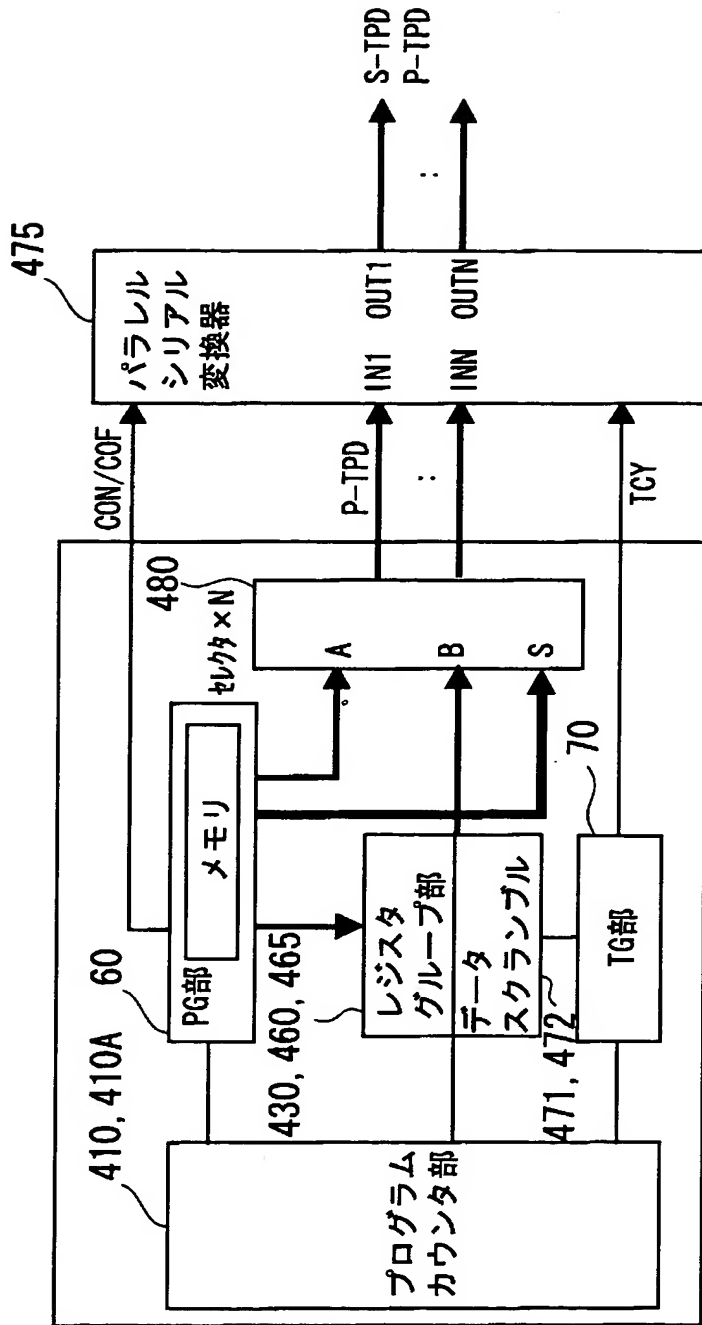
【図 4 3】



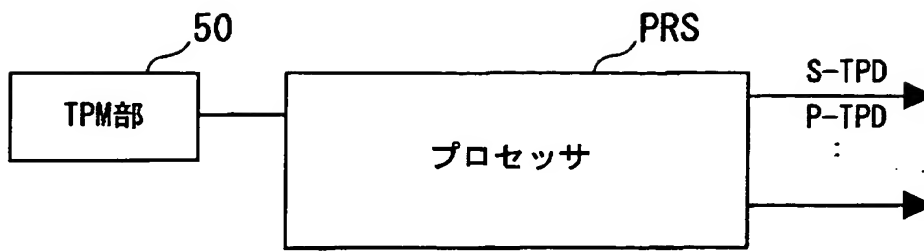
【図 4 4】



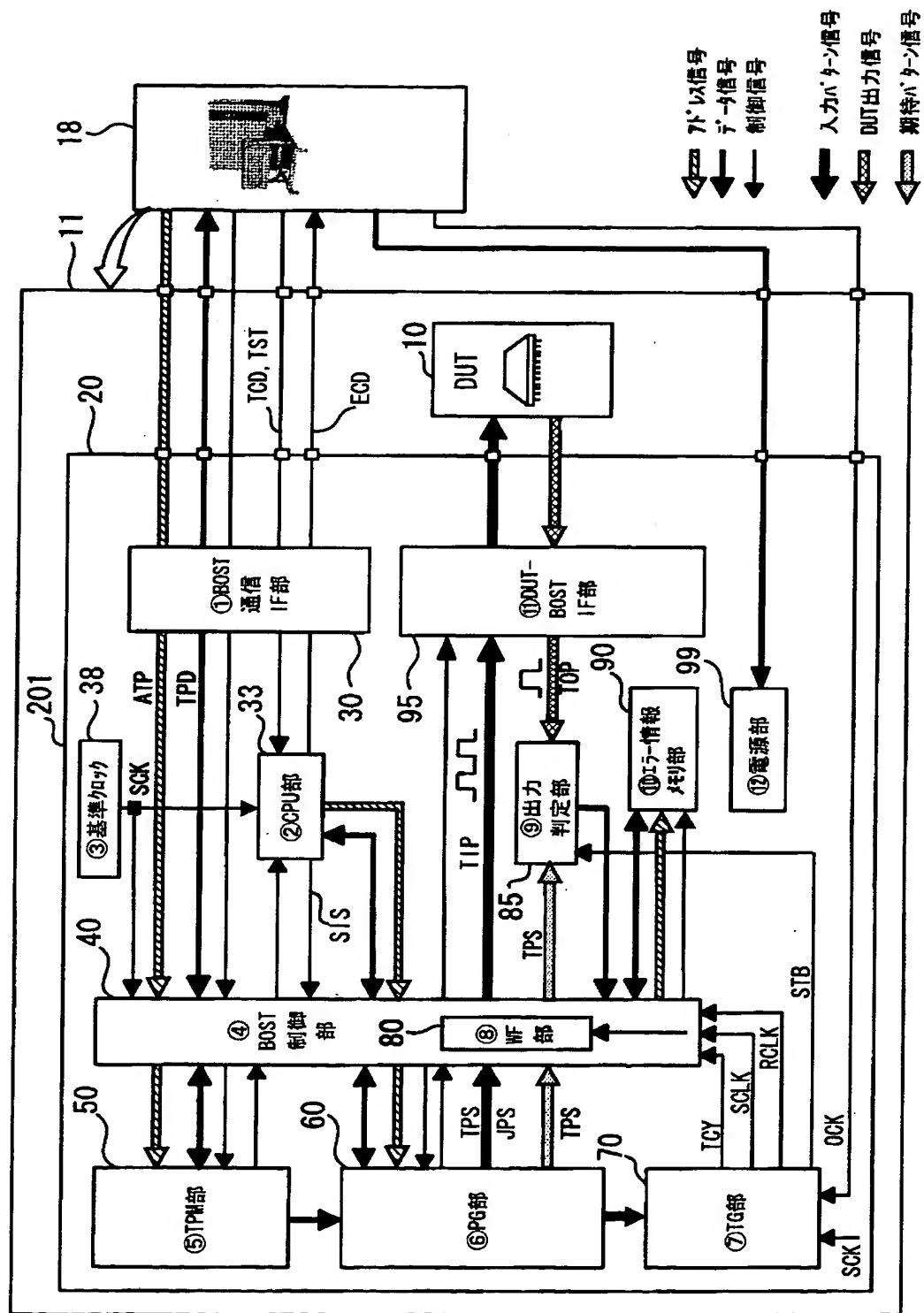
【図 45】



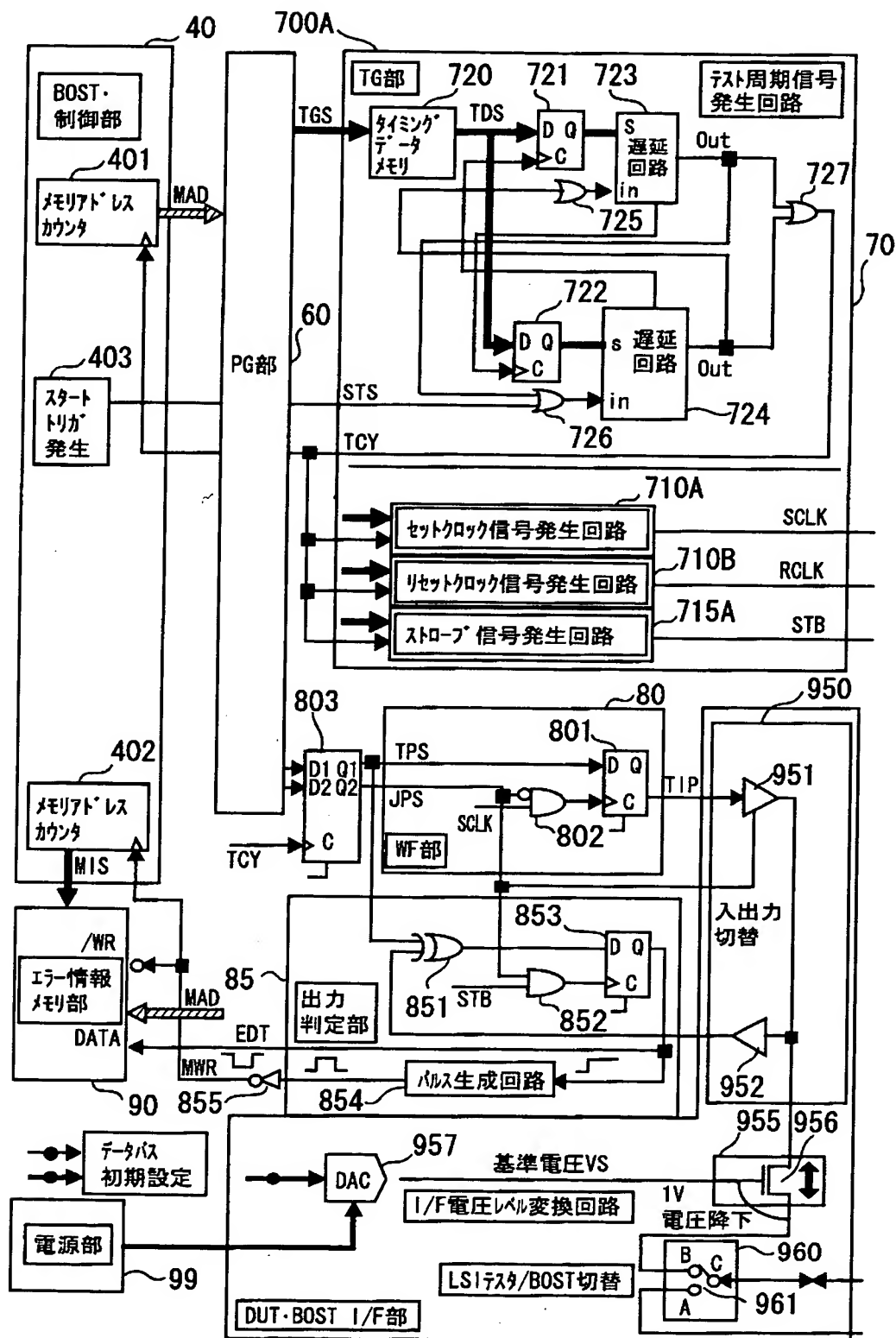
【図 4 6】



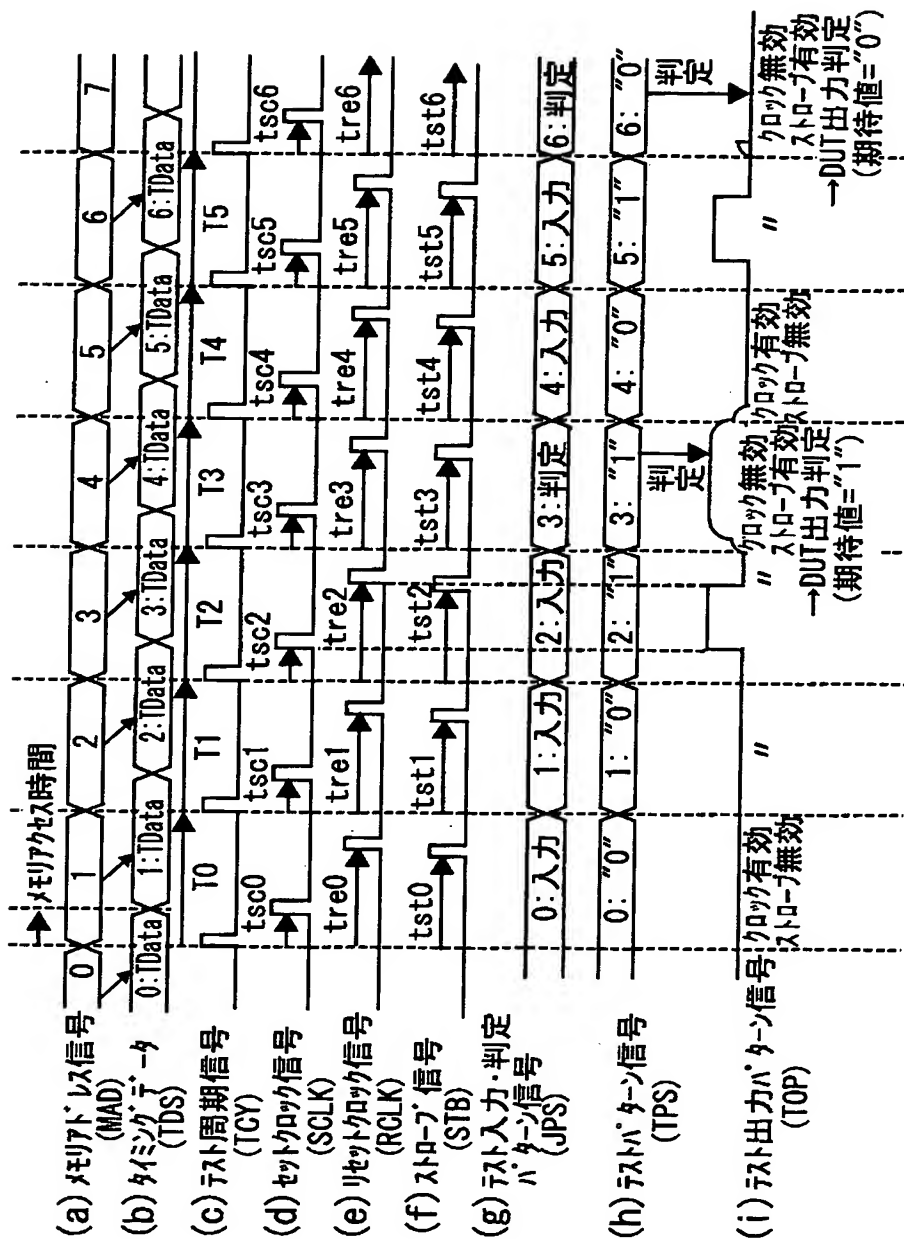
【图 4-7】



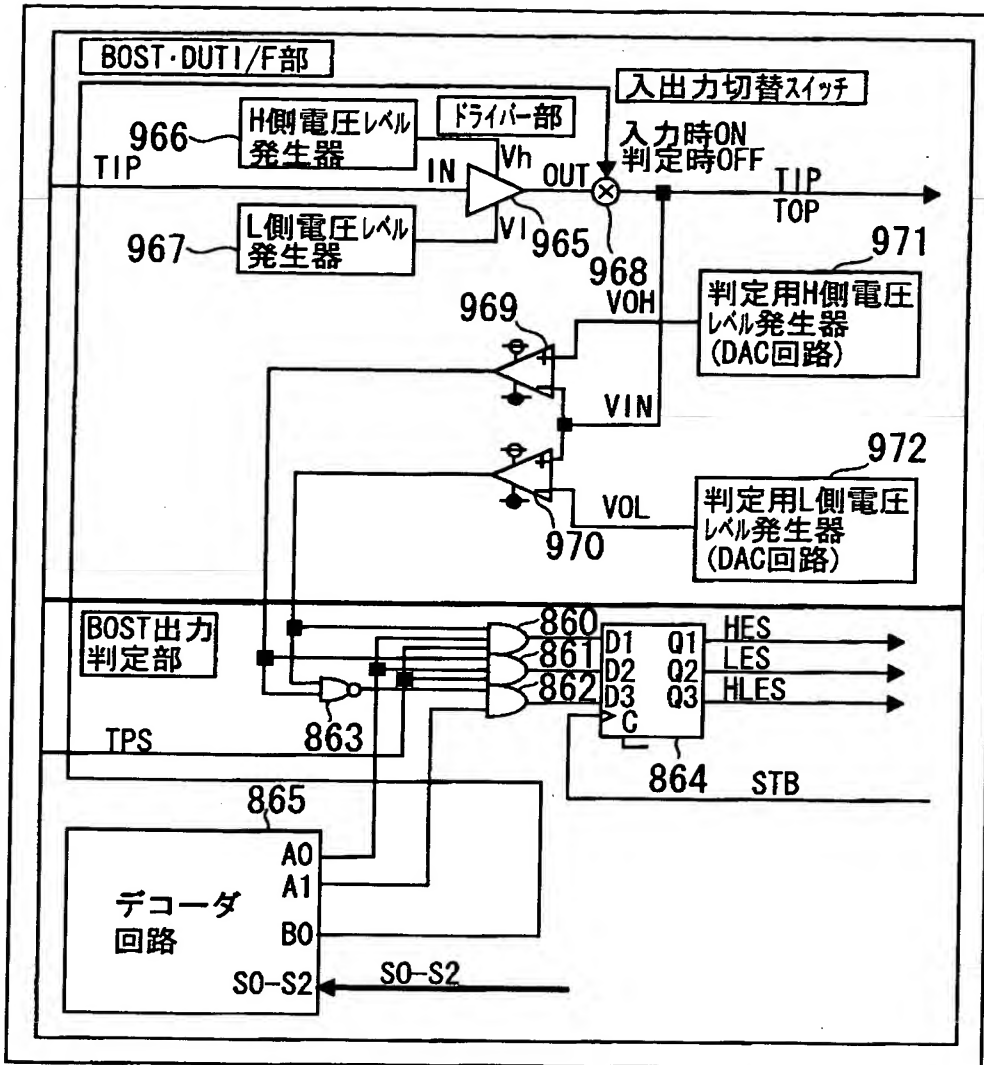
【図 4 8】



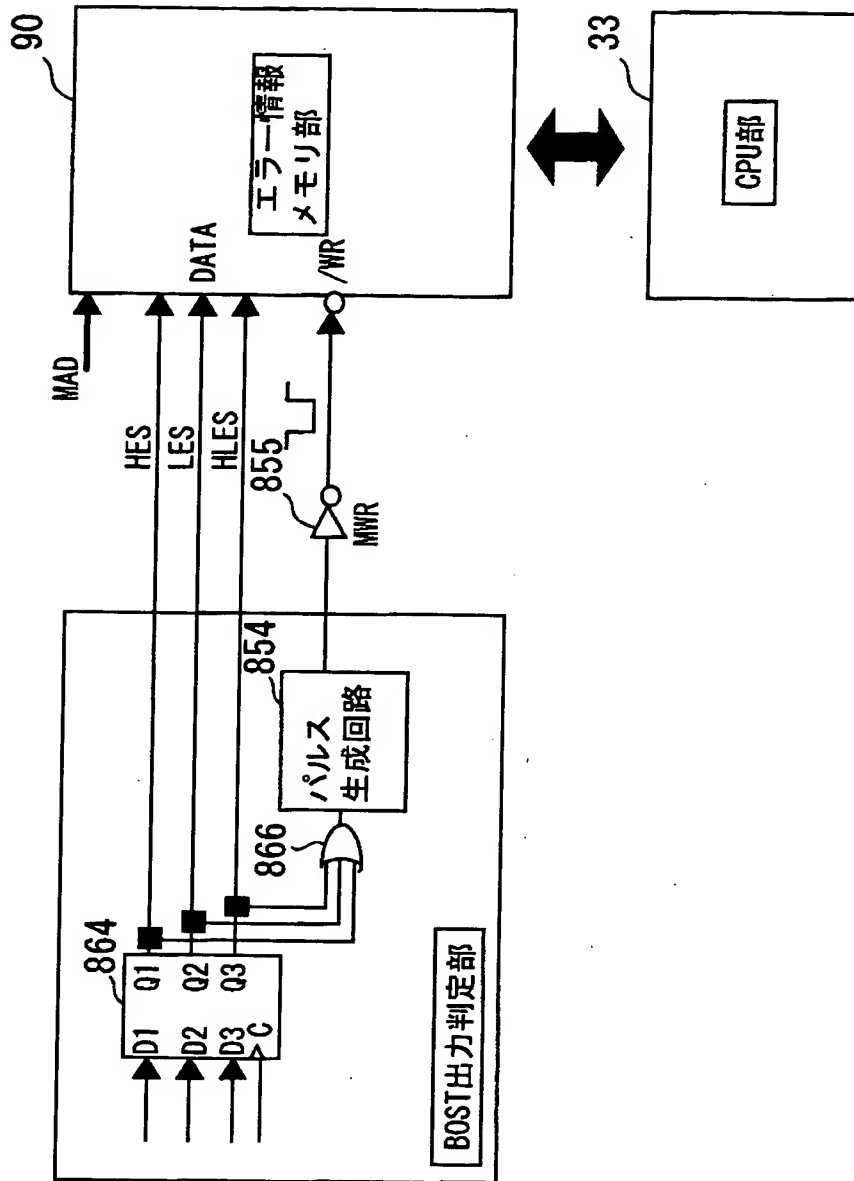
【図 49】



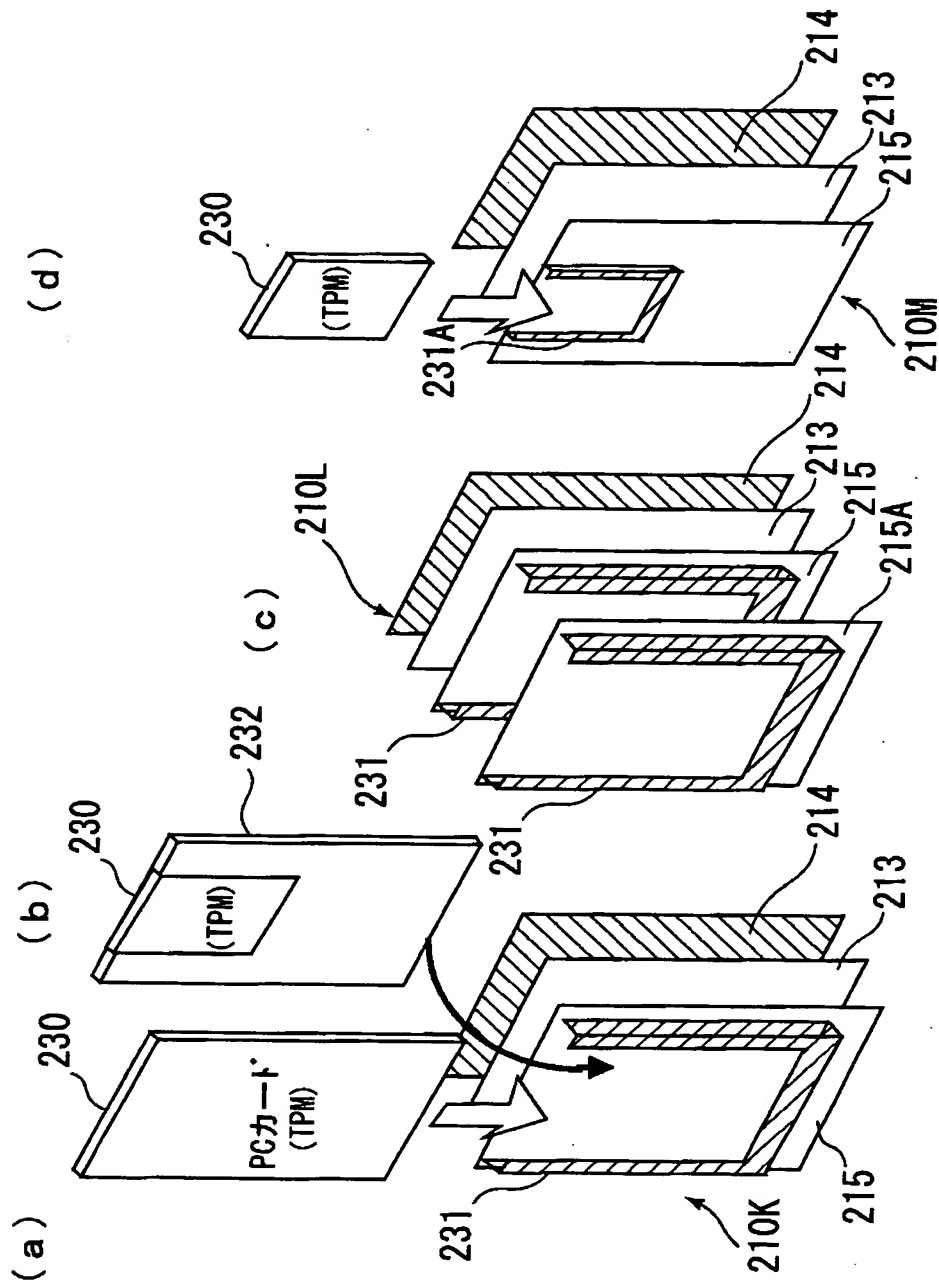
【図50】



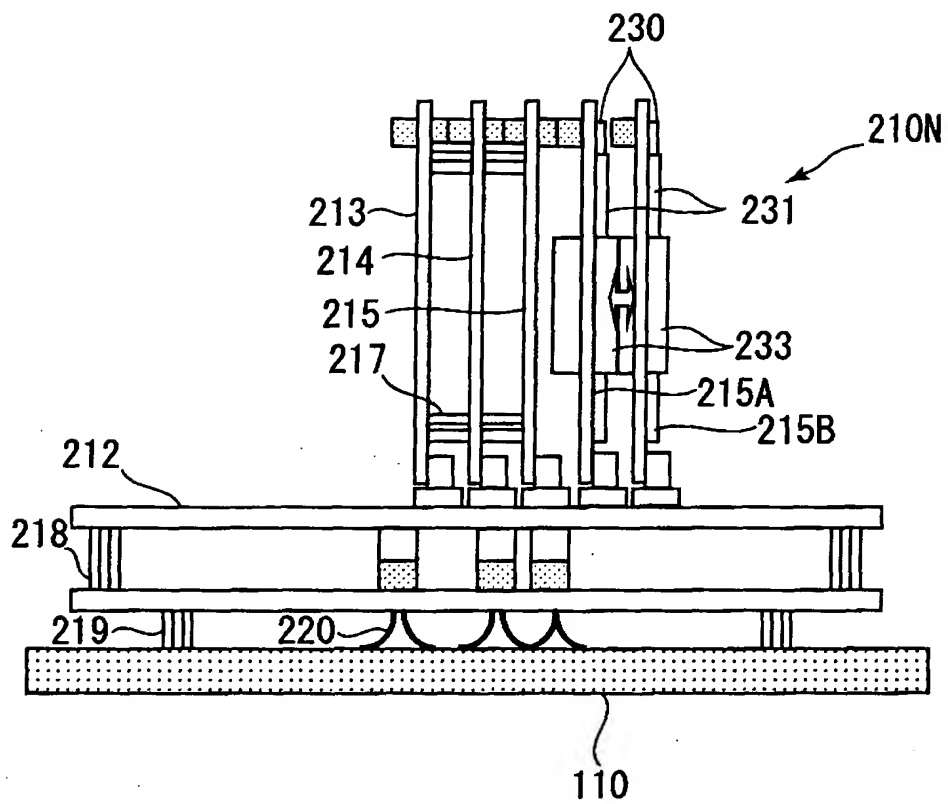
【図 51】



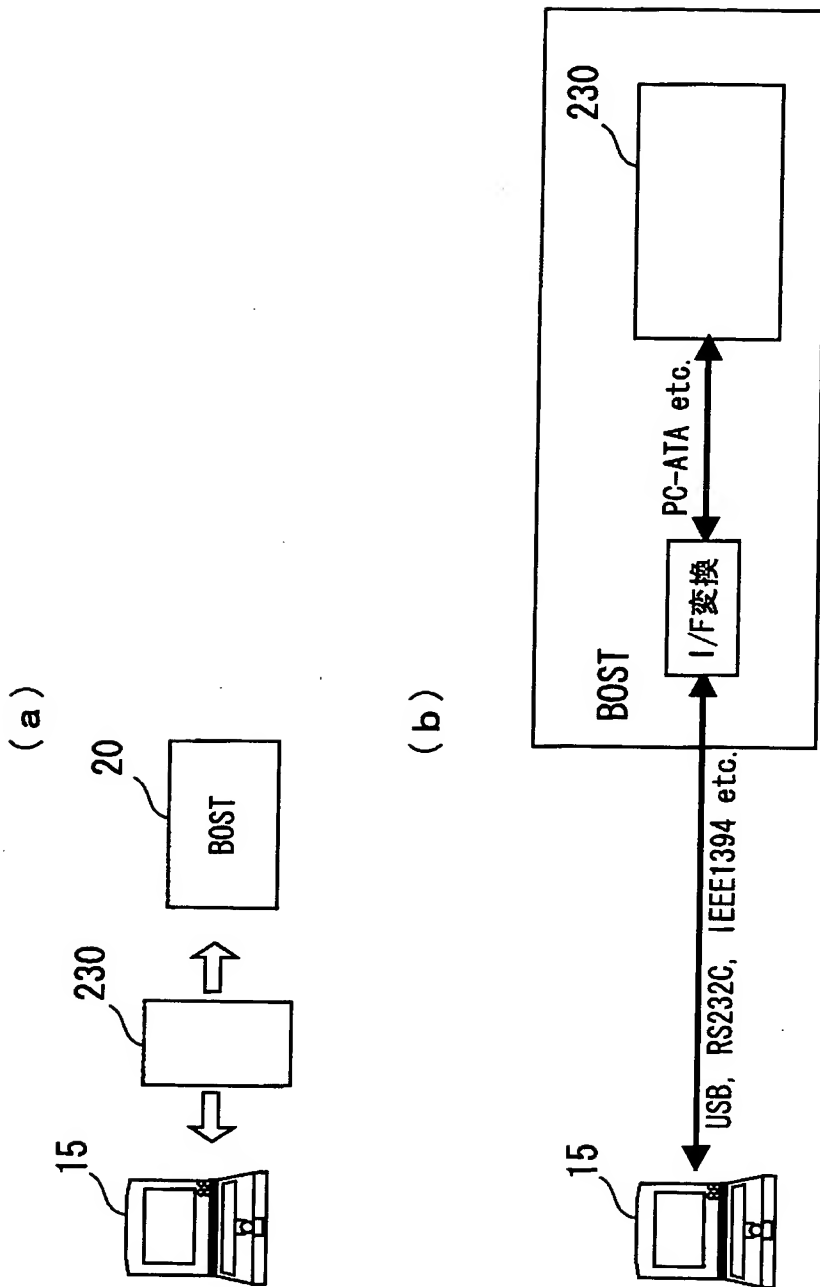
【図 52】



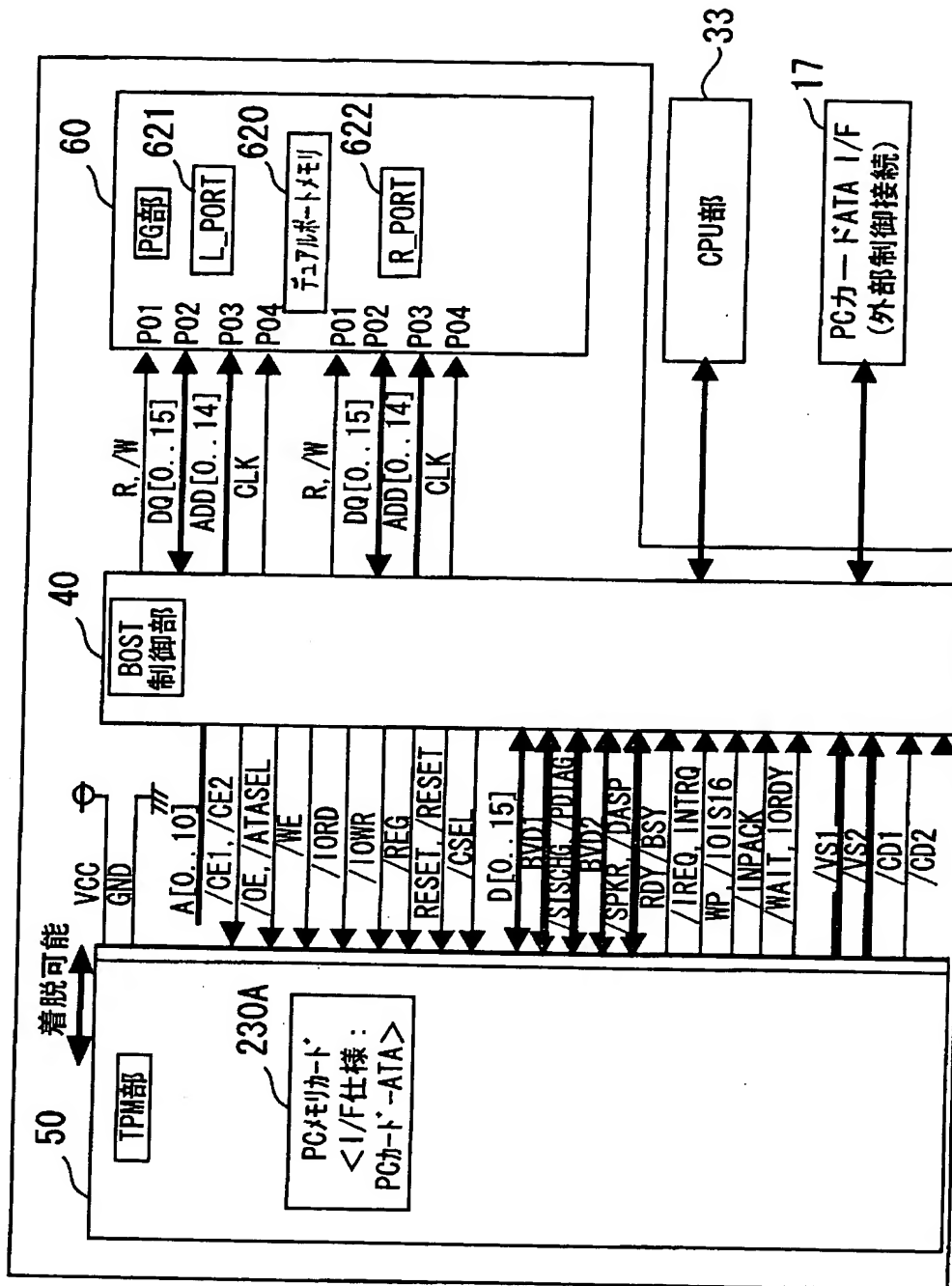
【図 53】



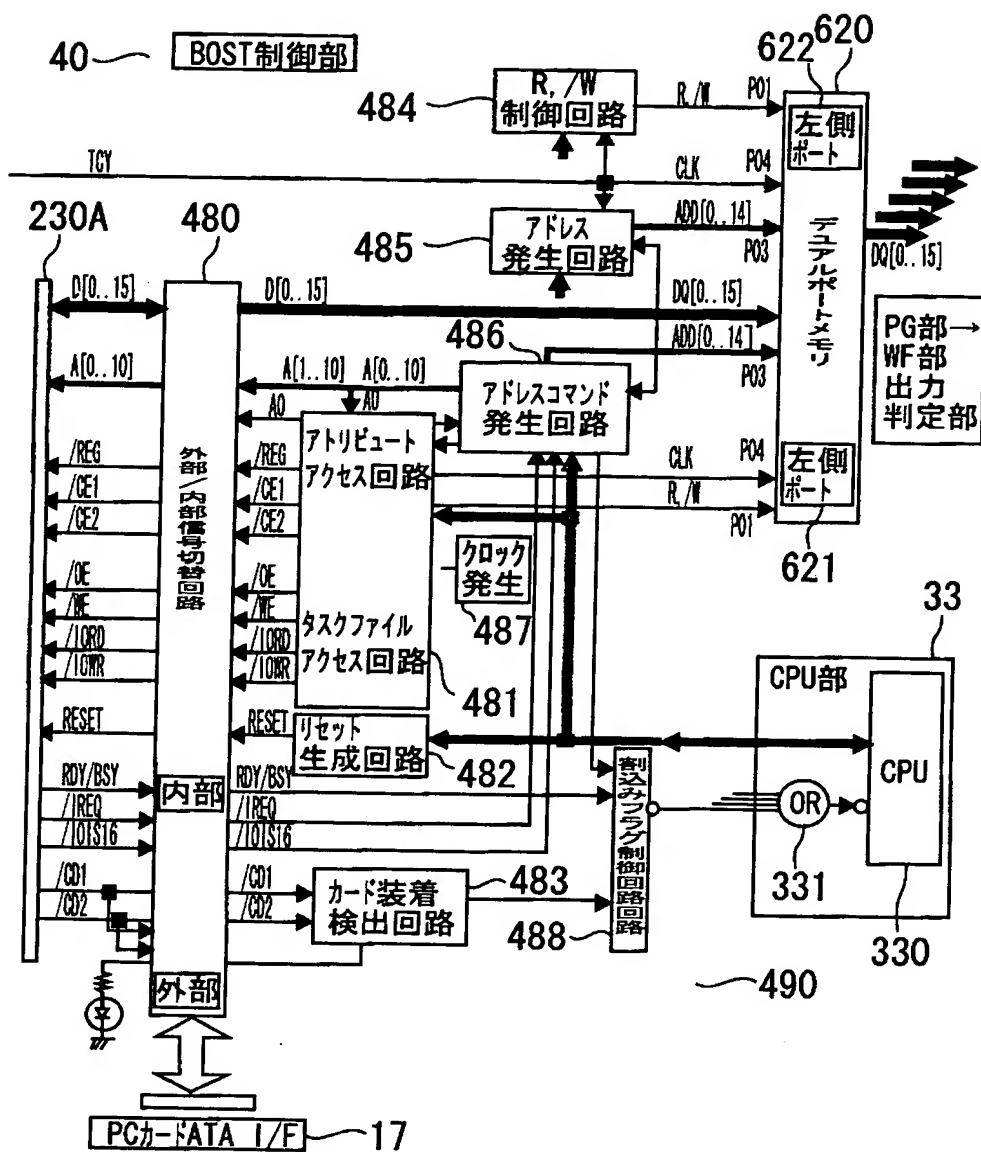
【図 5 4】



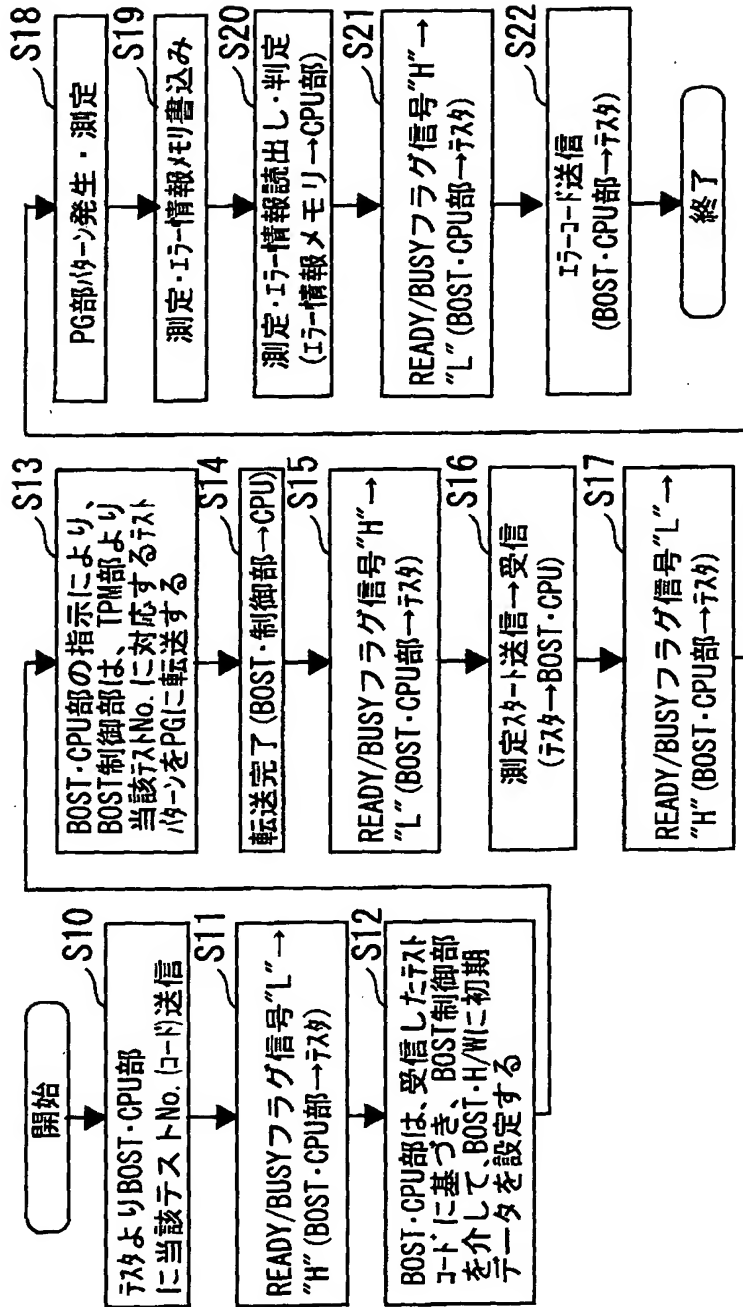
【図 55】



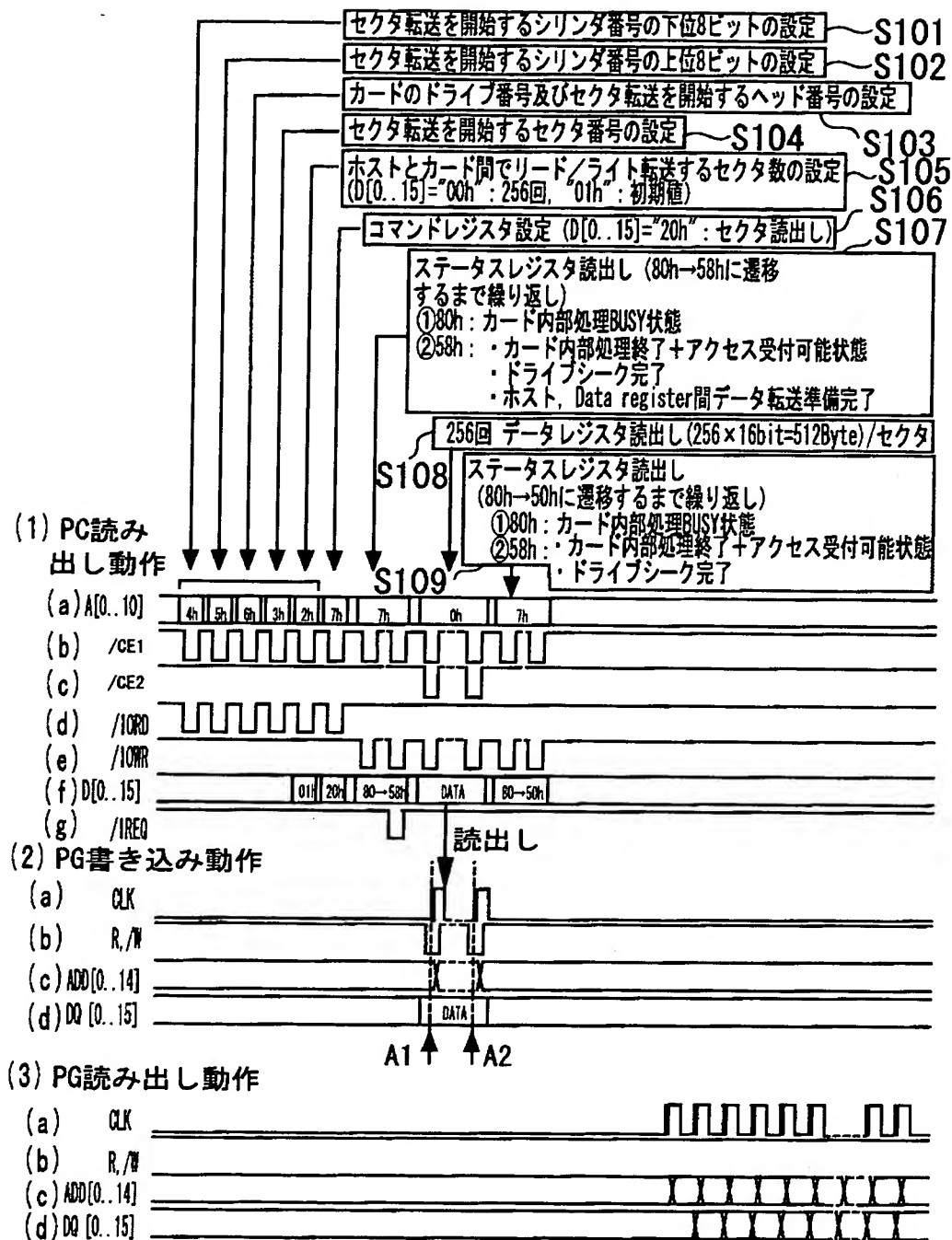
【図 56】



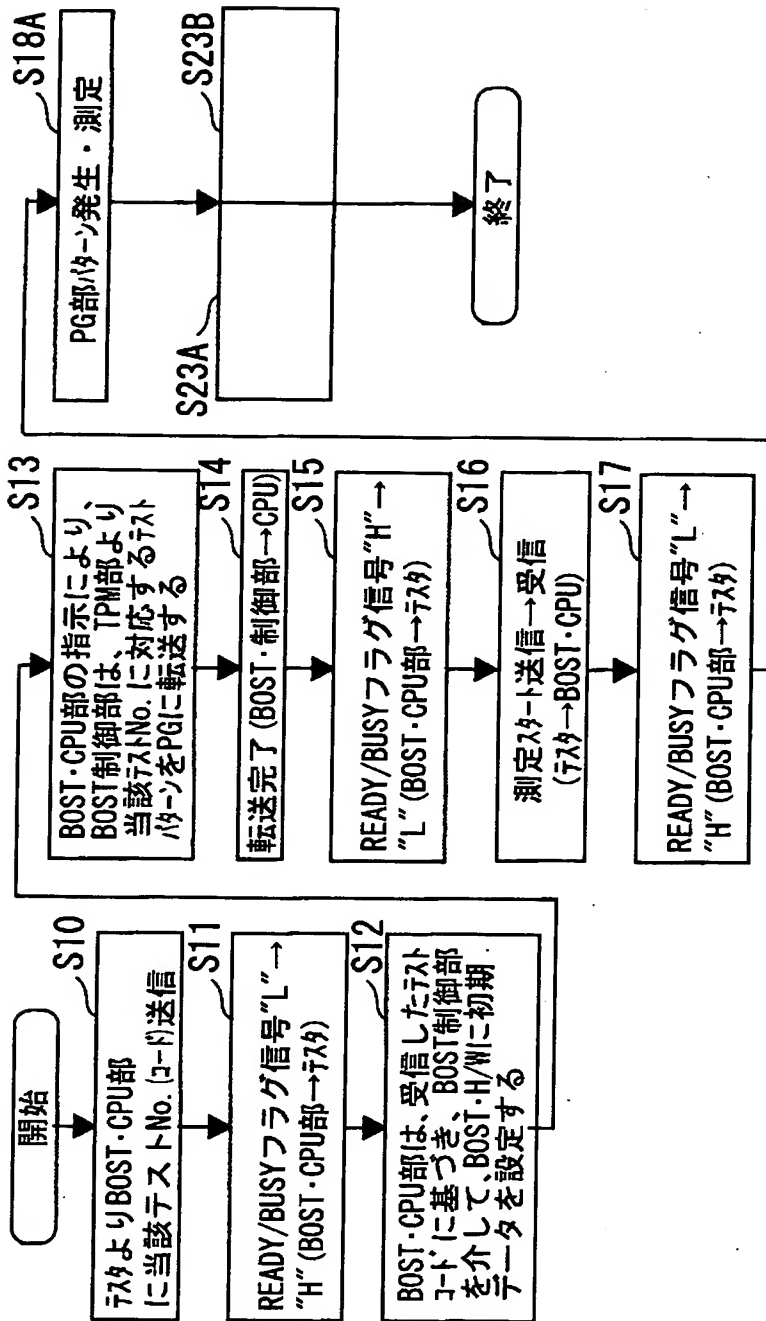
【図 57】



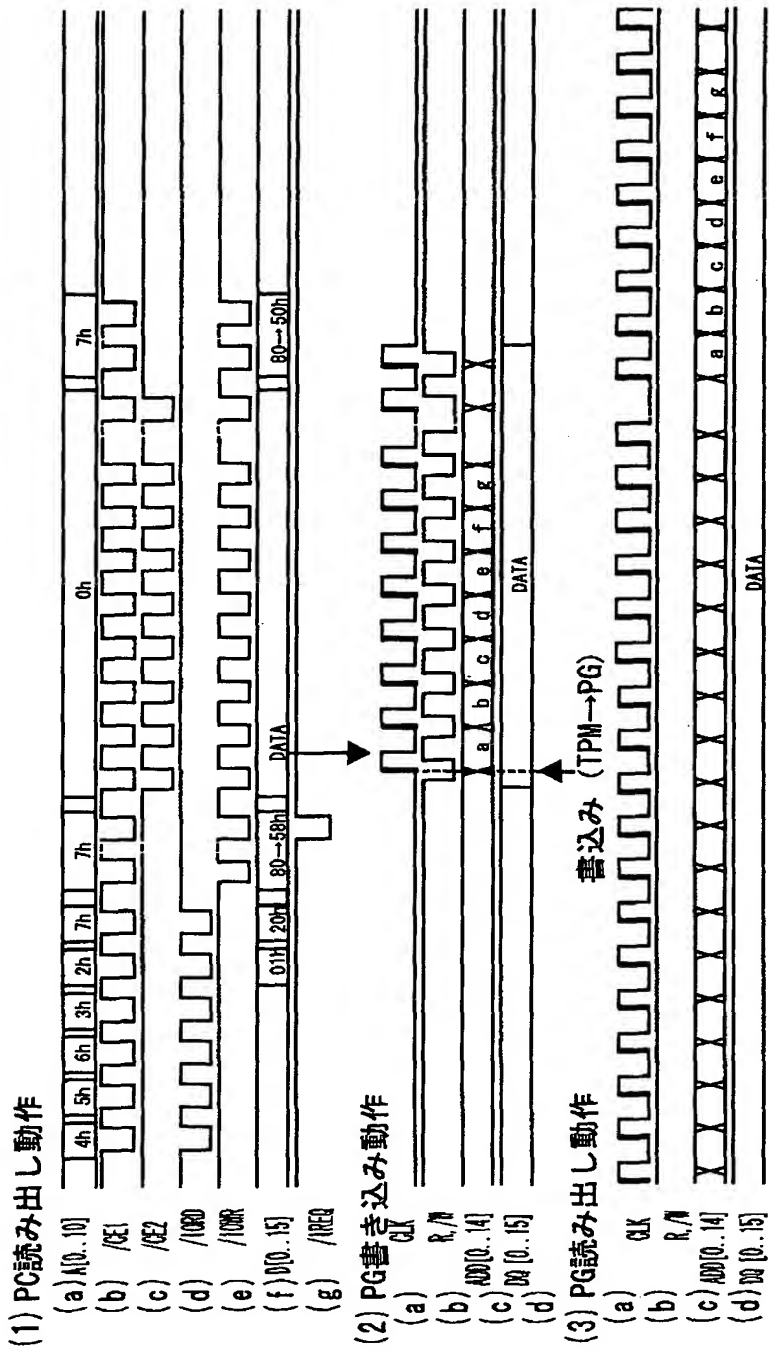
【図 58】



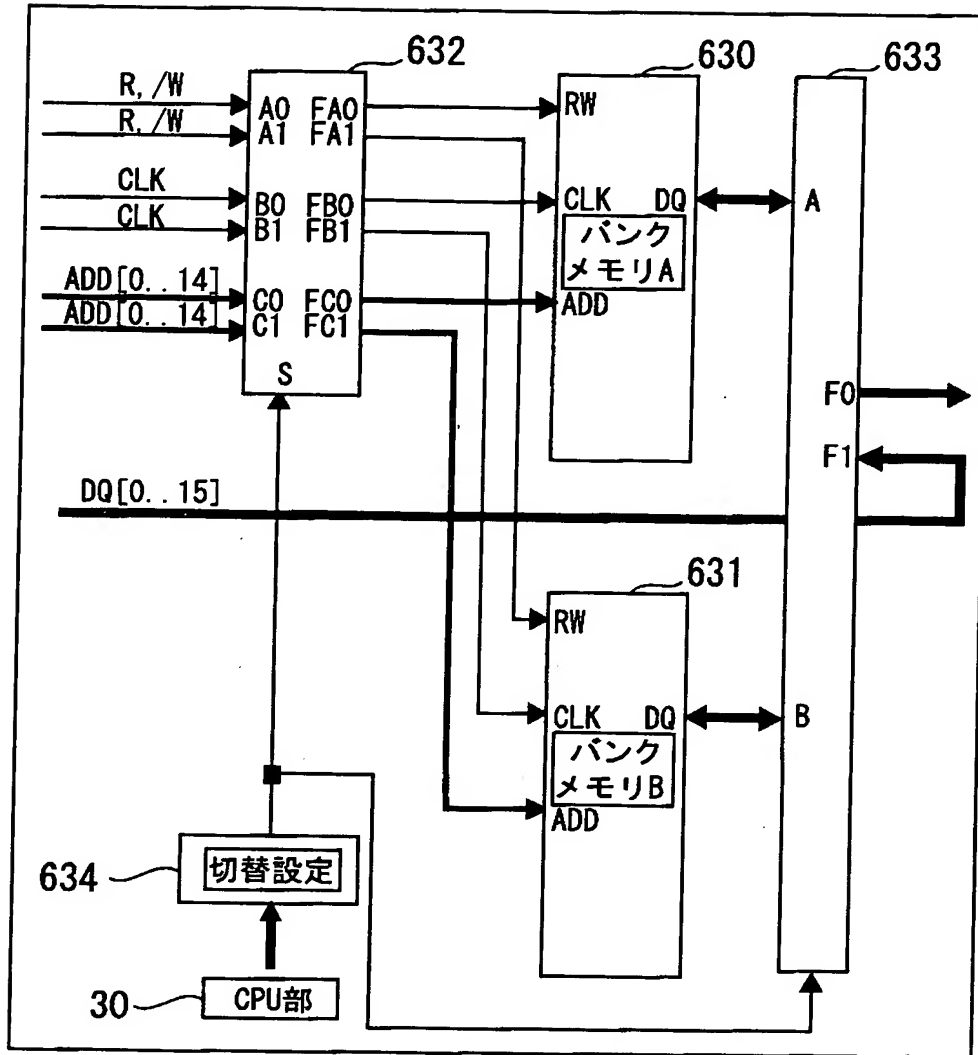
【図 5 9】



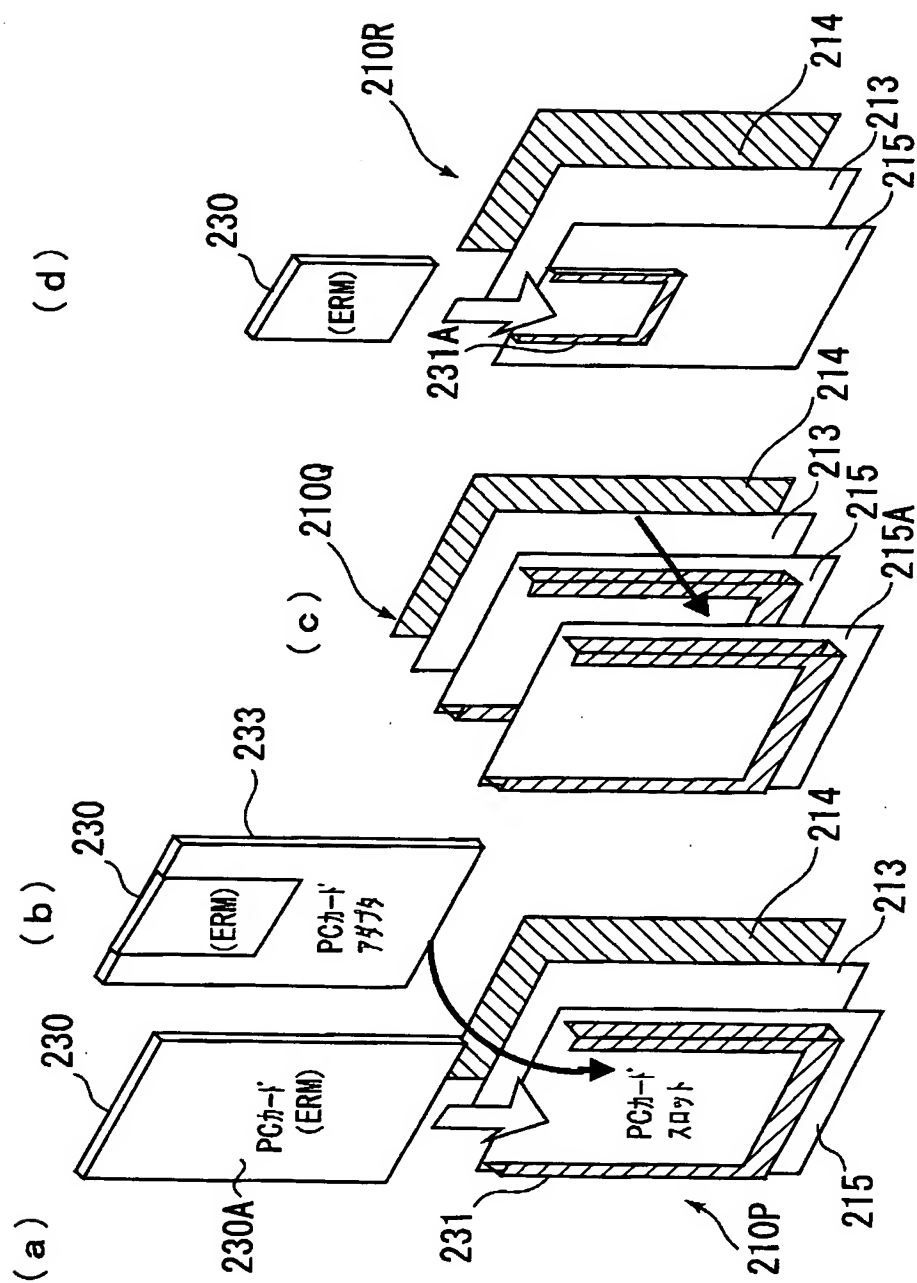
【図 60】



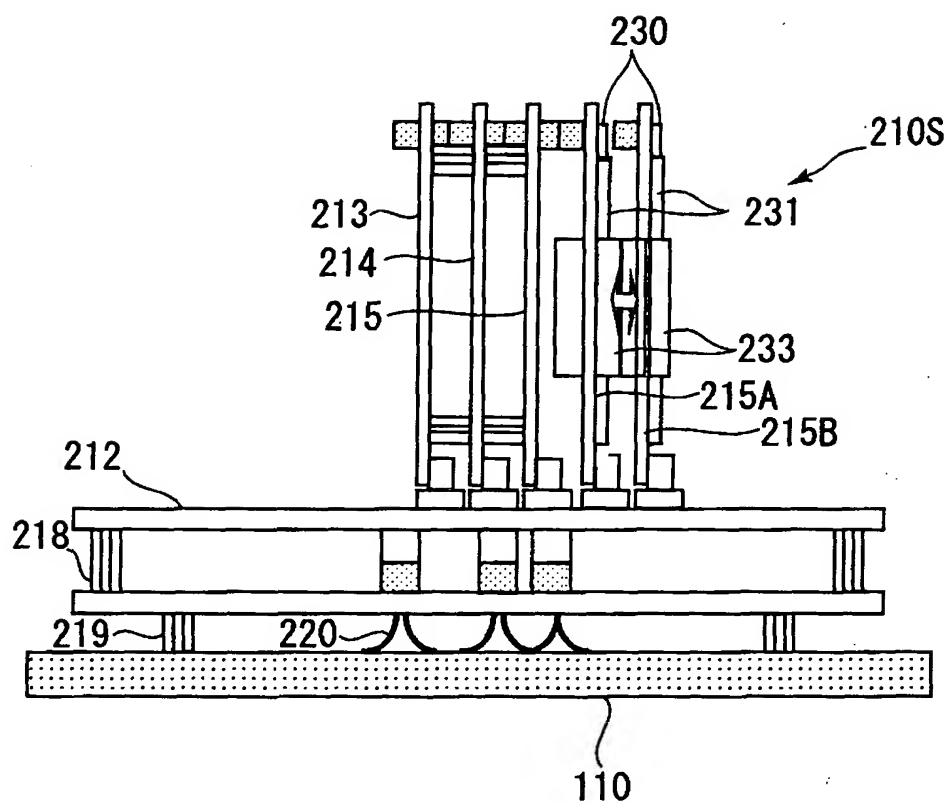
【図 61】



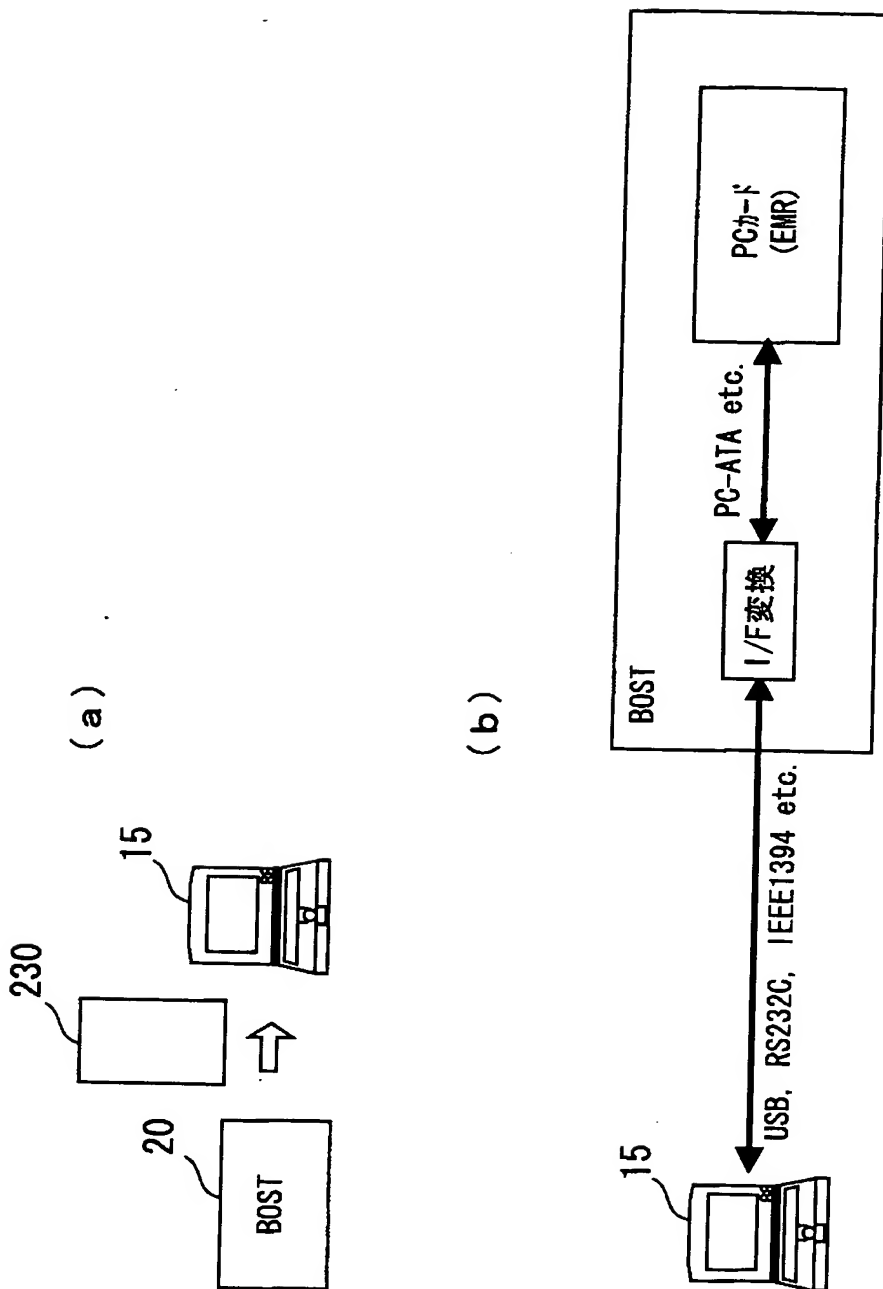
【図 6 2】



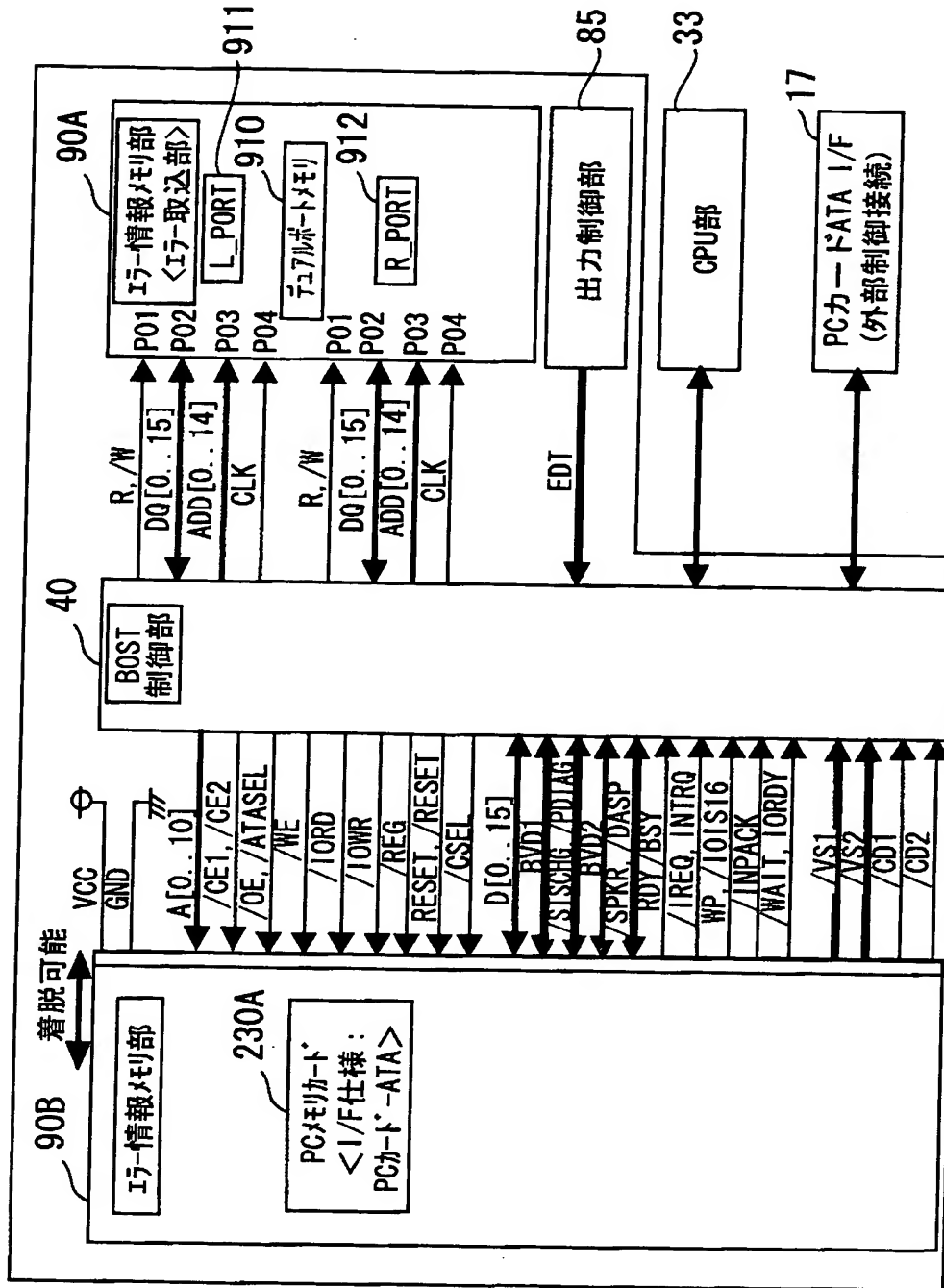
【図 63】



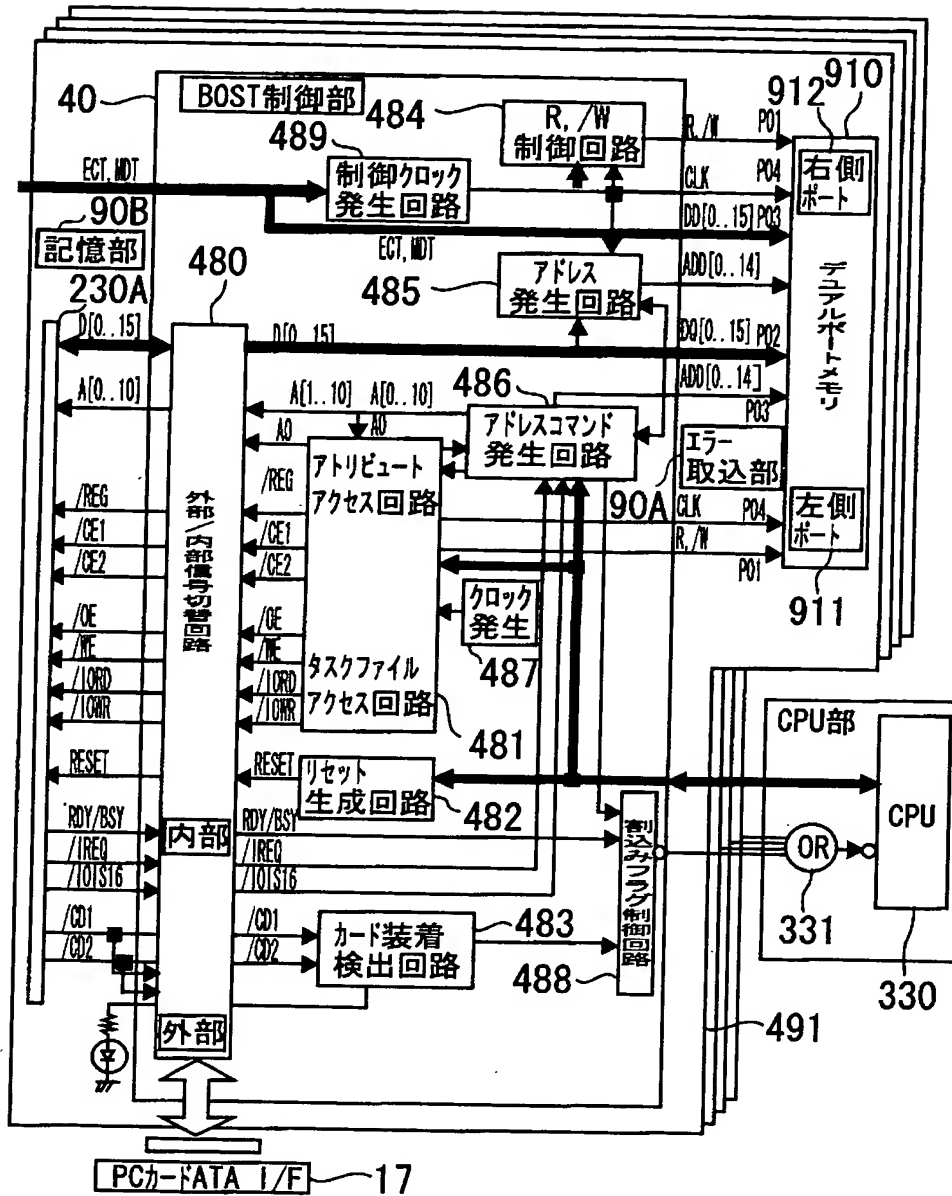
【図 6 4】



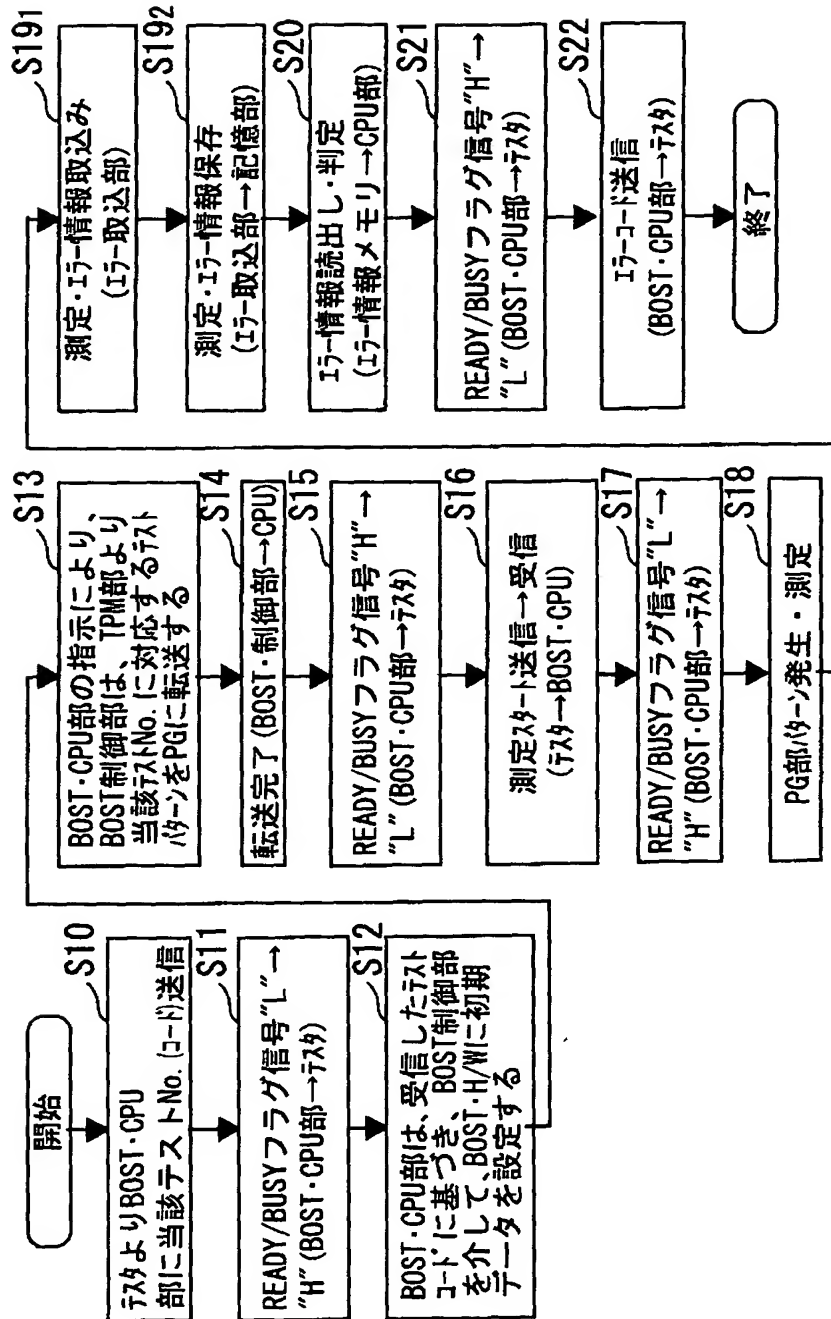
【図65】



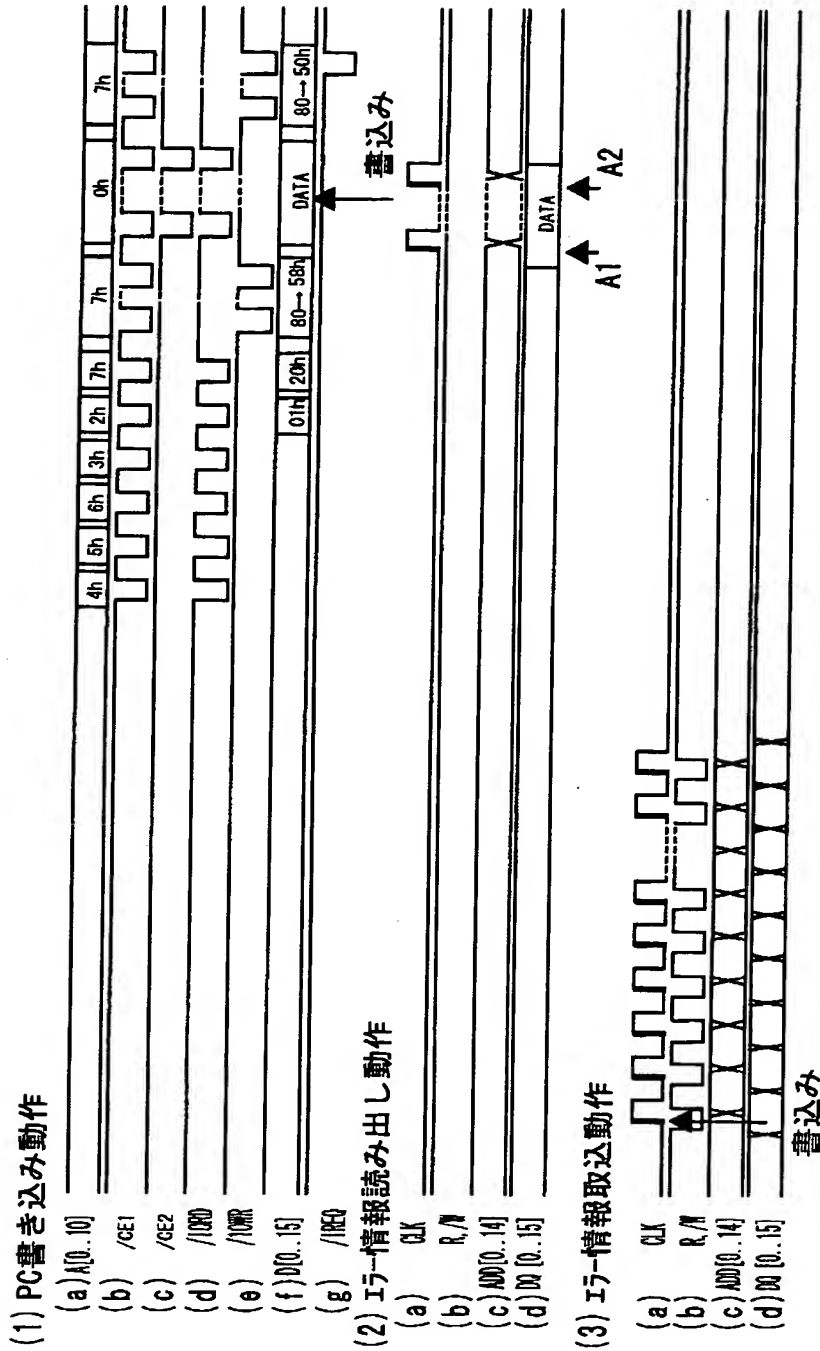
【図 66】



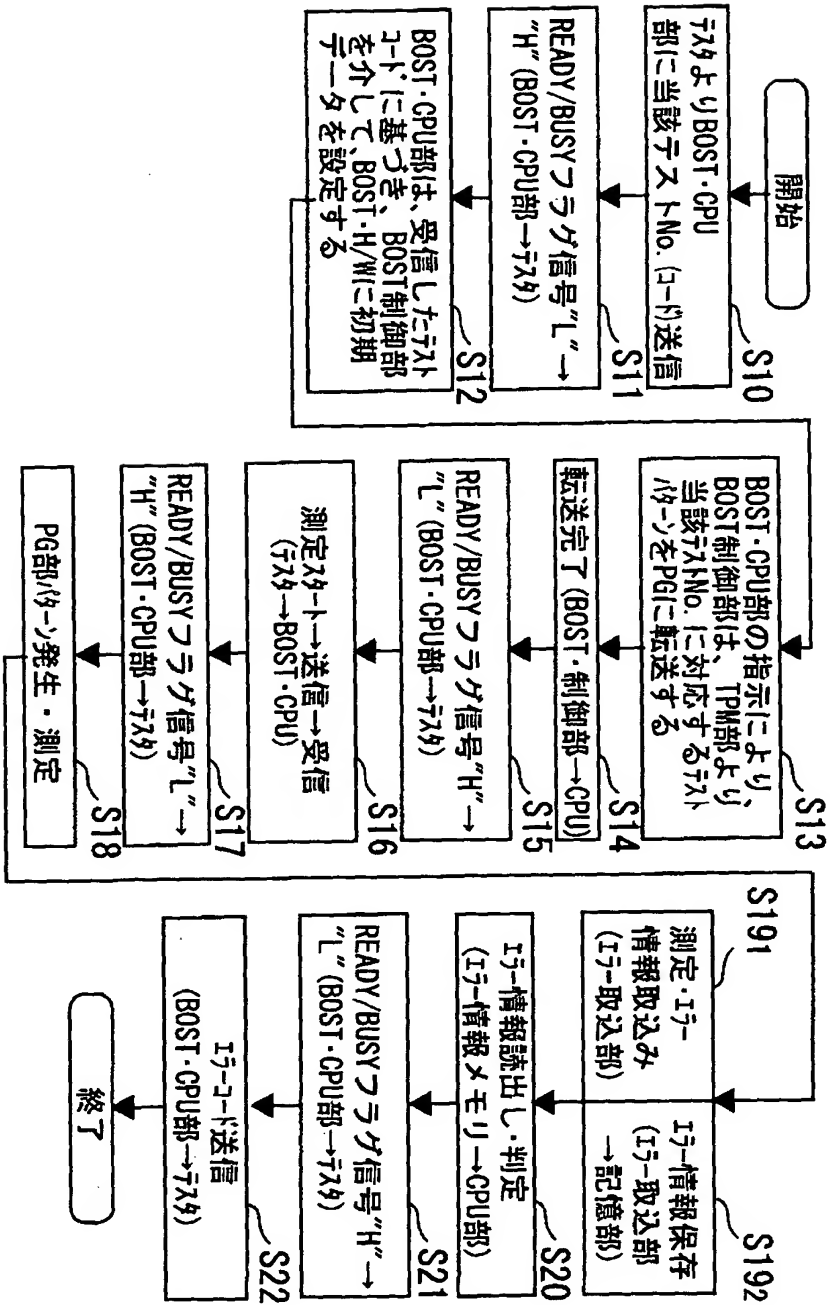
【図 67】



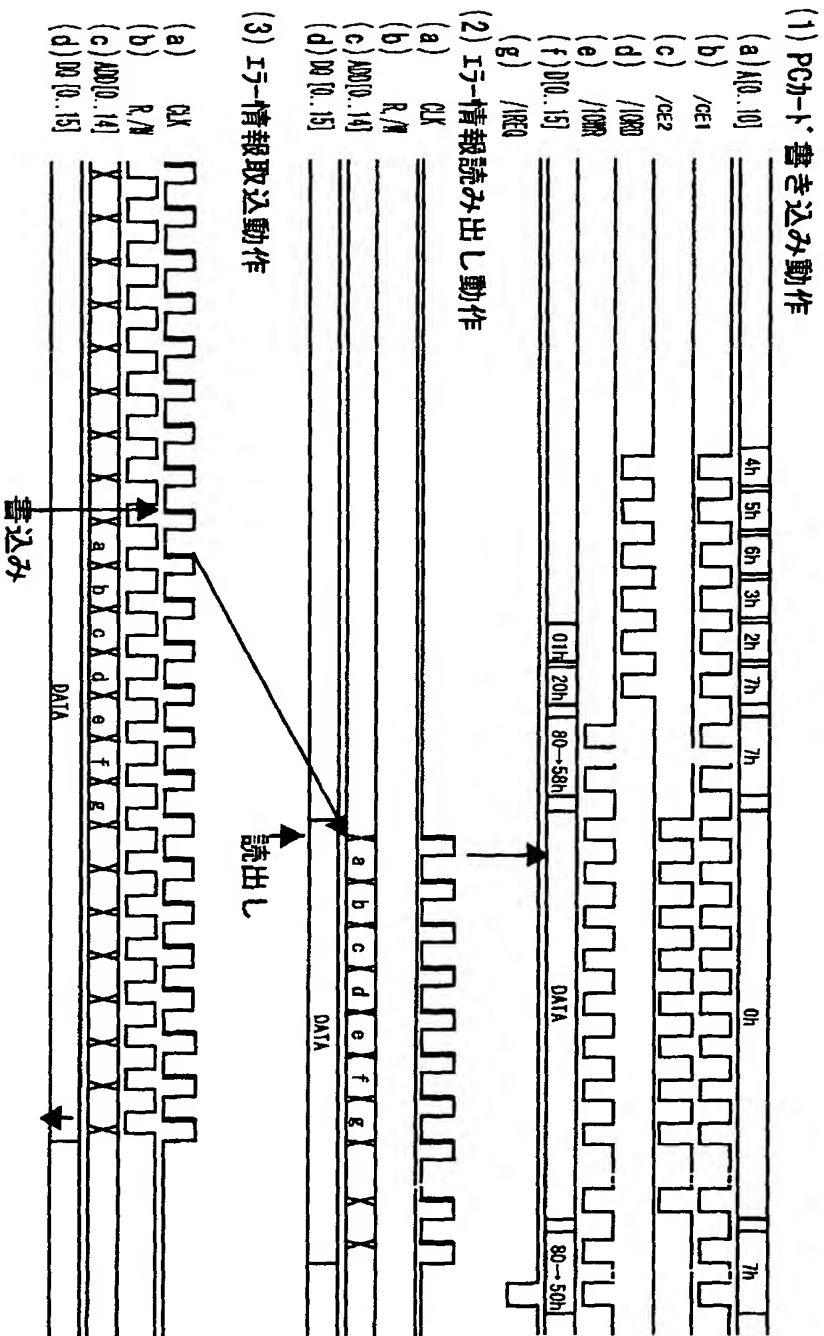
【図 68】



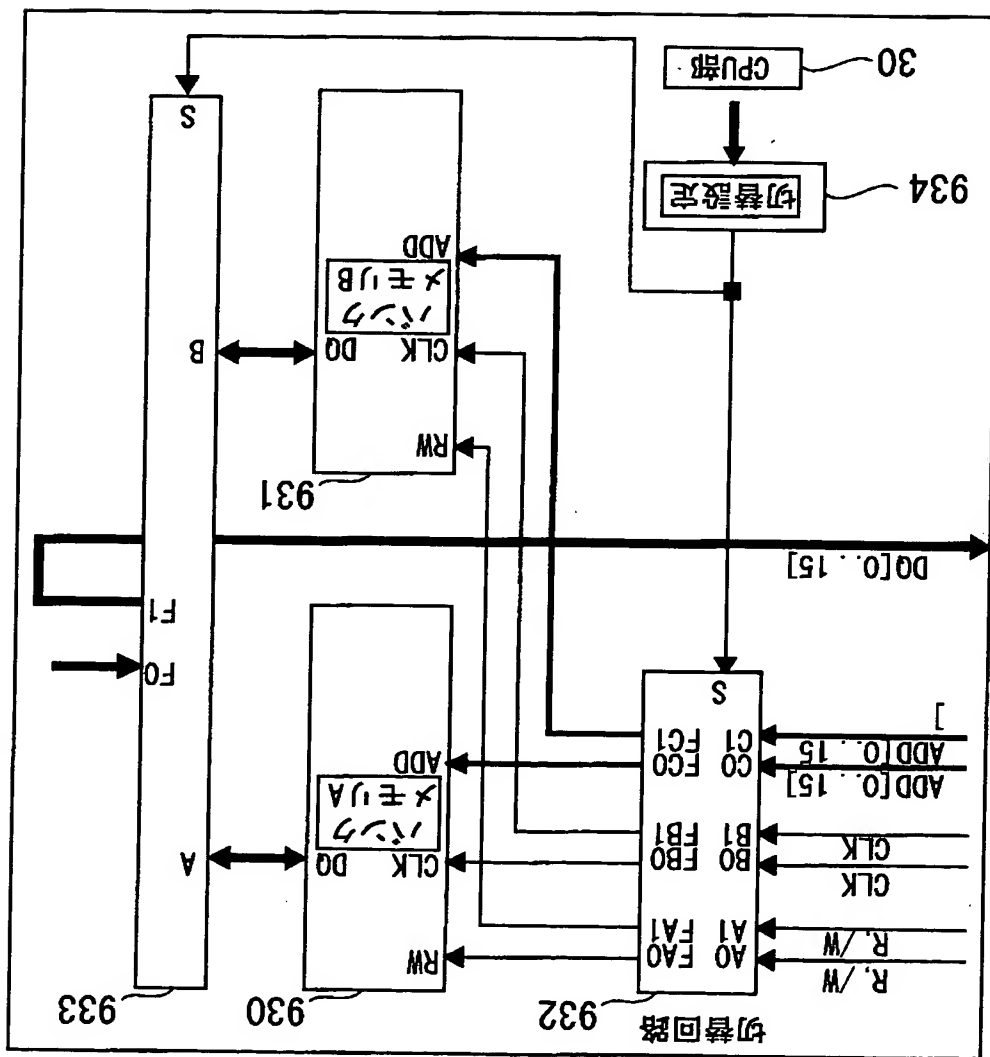
【図69】



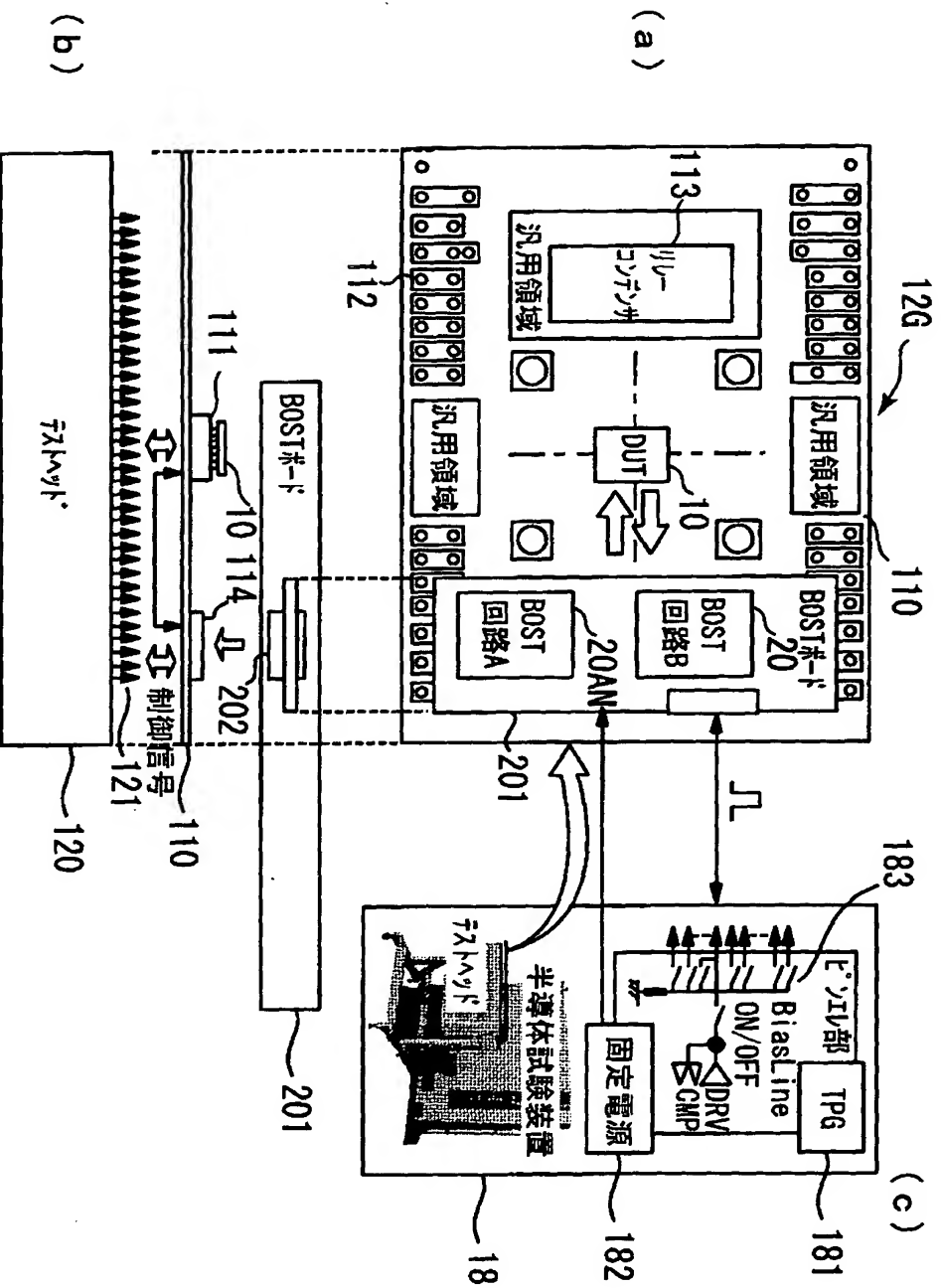
【図 70】



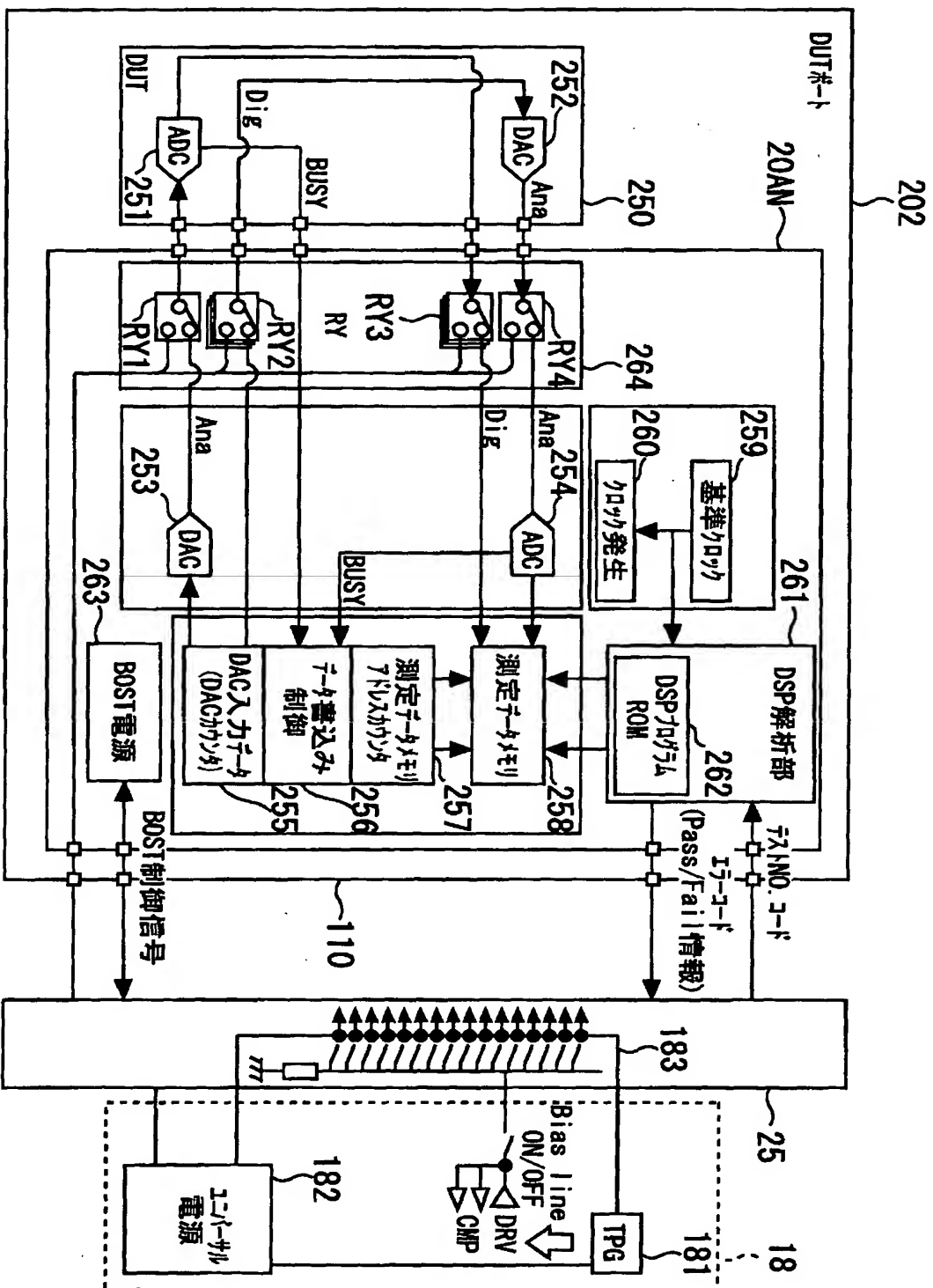
【図 7 1】



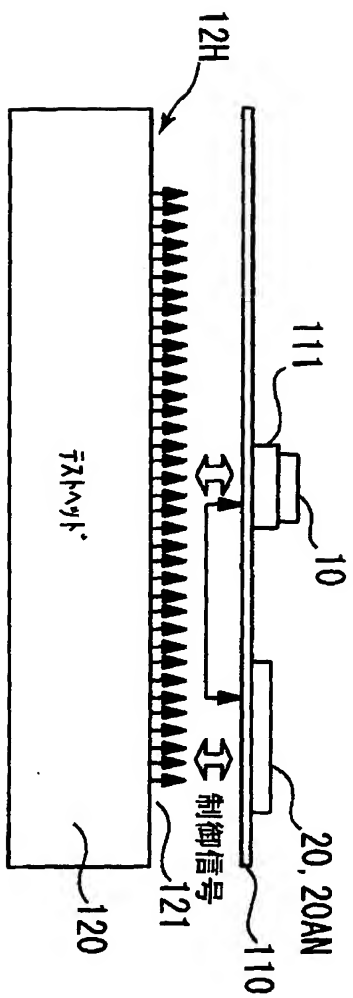
【図 72】



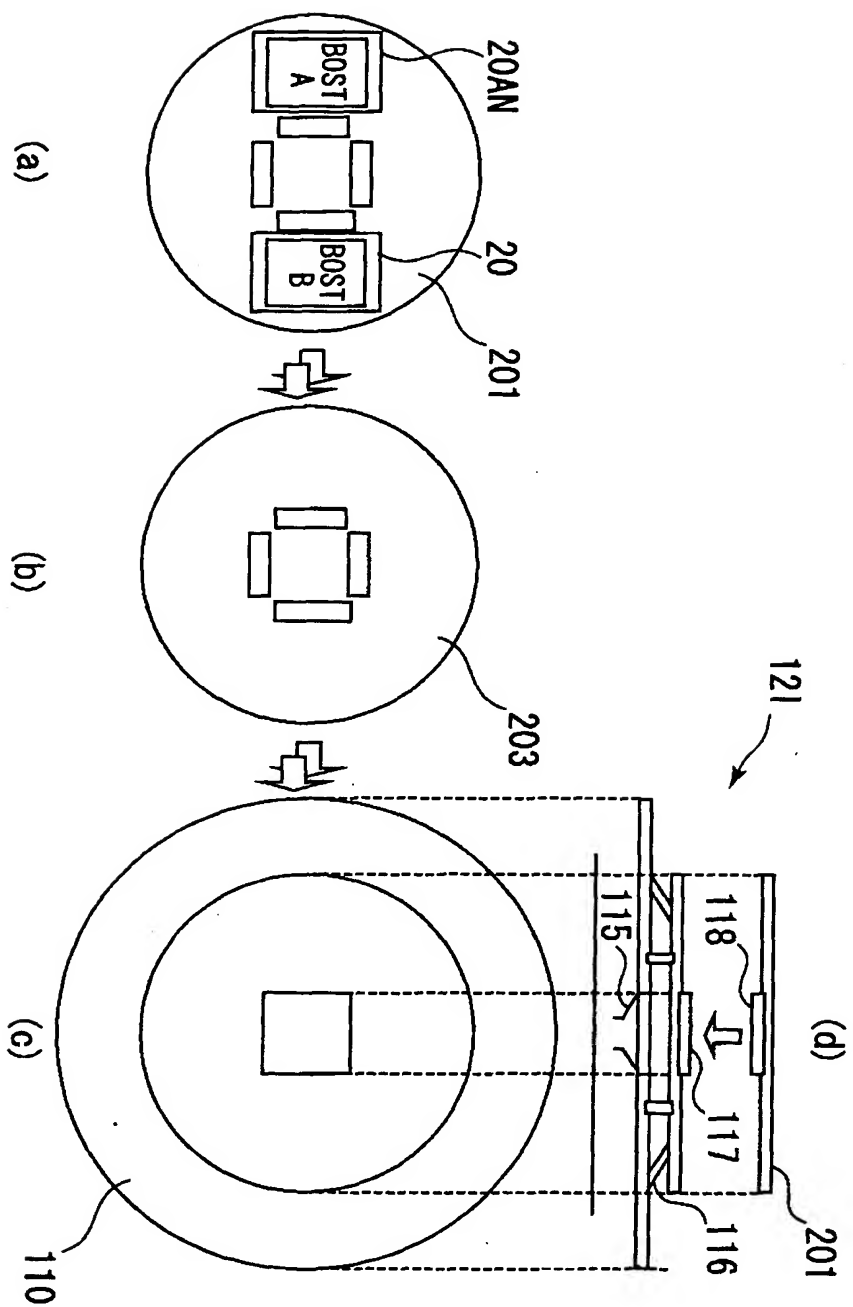
【図73】



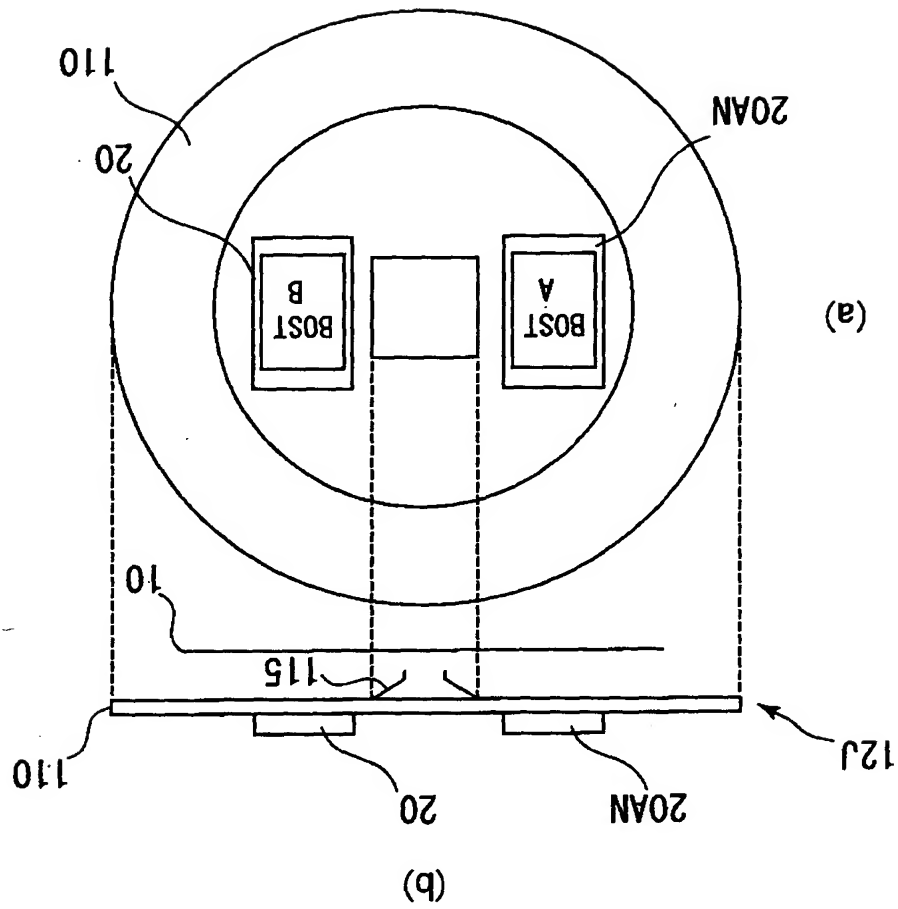
【図 7 4】

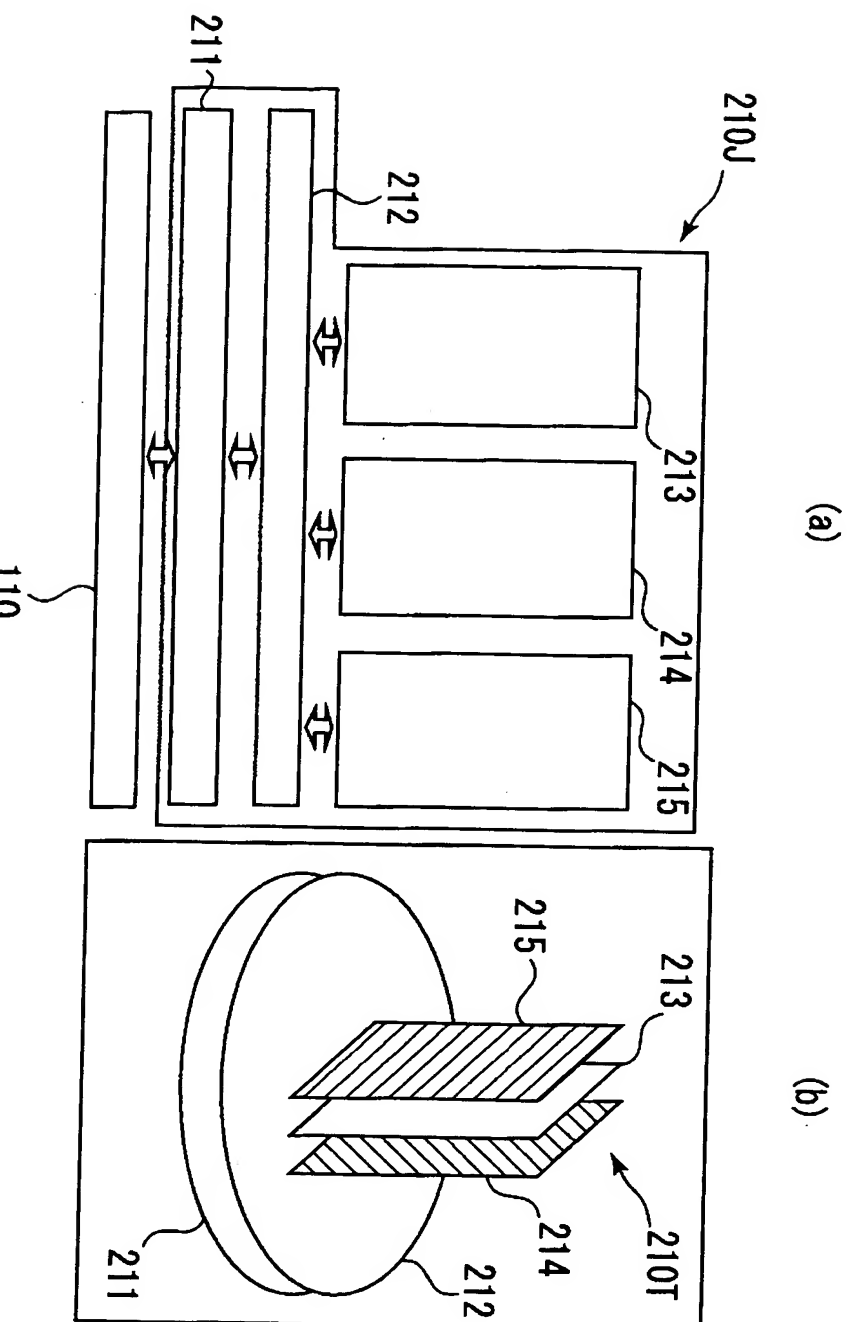


【図 75】

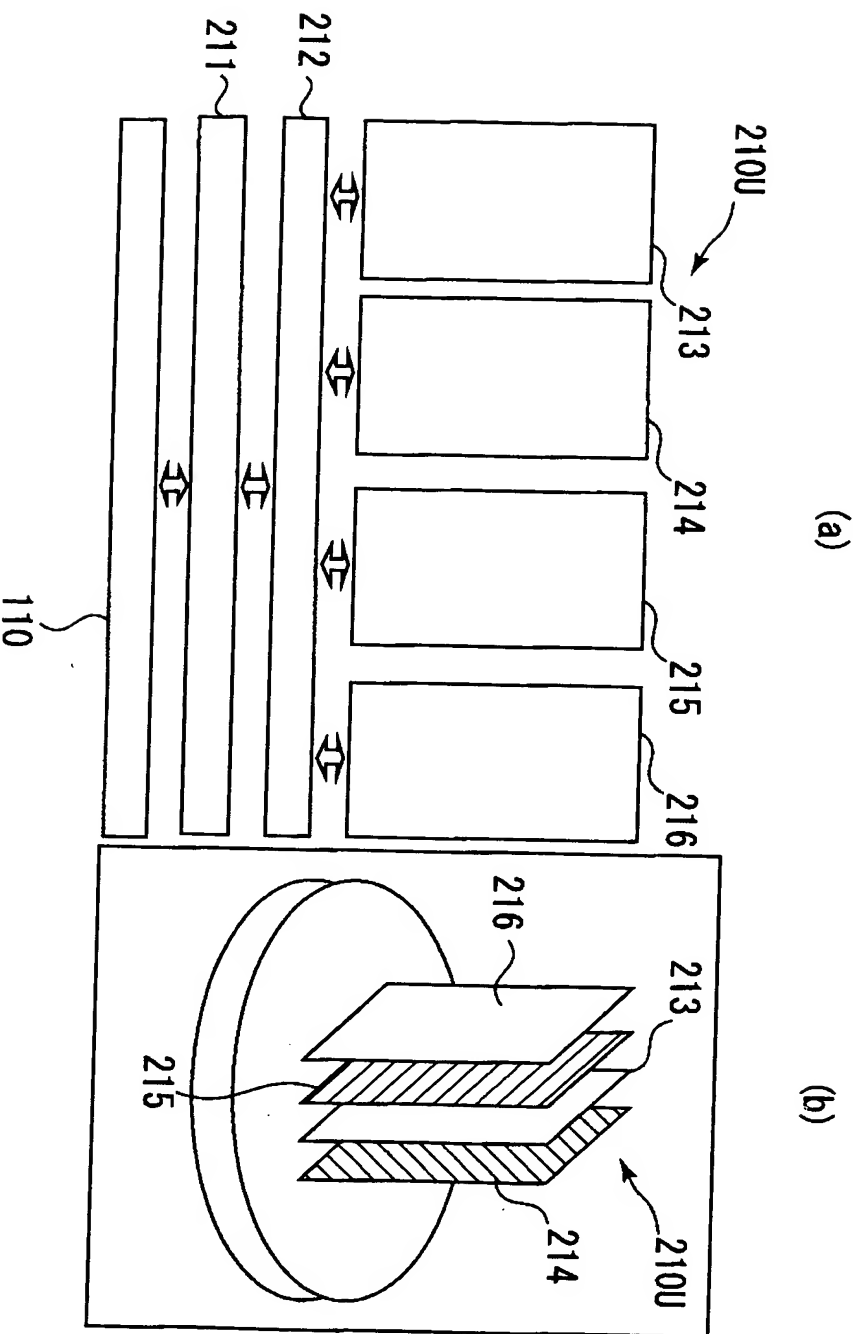


【図 76】

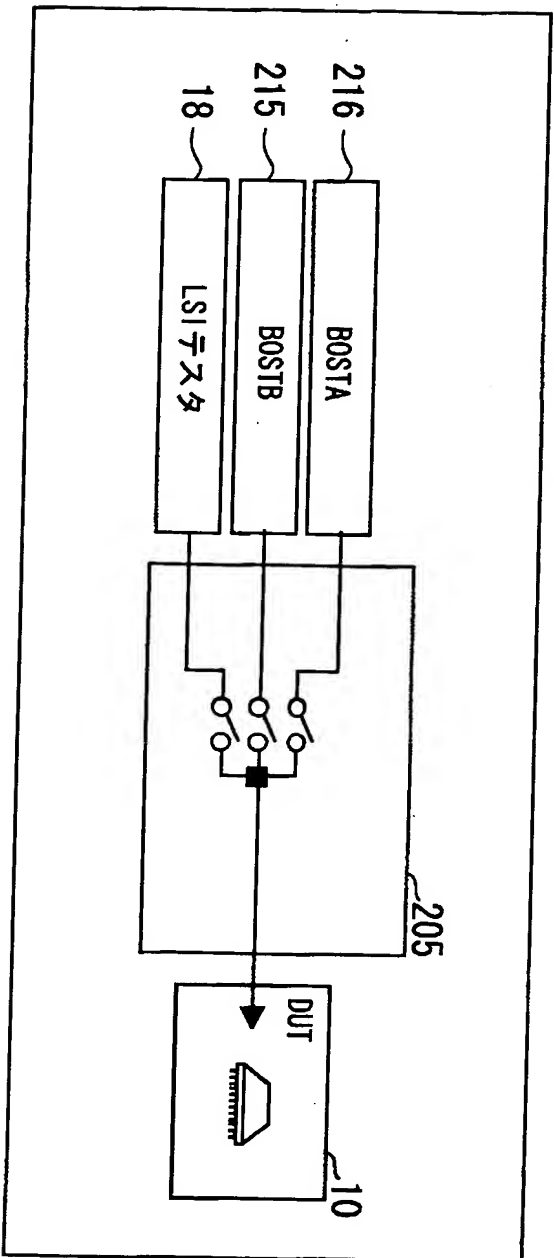




【図 77】



【図 78】



【図 79】

【書類名】

要約書

【要約】

【課題】 半導体集積回路のダイジタル回路の試験を、特別な外部試験機を開発することなしに、簡単に、しかも迅速に実行できる半導体集積回路の試験装置と、それを使用する半導体集積回路の製造方法を提案する。

【解決手段】 半導体集積回路のダイジタル回路を試験するテスト補助装置を、半導体集積回路と信号のやり取りを行なうテスト回路基板に近傍に配置する。テスト補助装置は、複数のテスト項目に対応した複数のテストパターンデータを記憶するテストパターンメモリと、複数のテストパターンデータの中から選択されたテストパターンデータを書き込テストパターン信号発生器を有する。選択されたテストパターンデータをテストパターンメモリから読み出す動作と、それをテストパターン信号発生器に書き込む動作は、制御部によって制御される。

【選択図】 図 1

出願人履歴情報

識別番号

[000006013]

1. 変更年月日

1990年 8月24日

[変更理由]

新規登録

住所

東京都千代田区丸の内2丁目2番3号

氏名

三菱電機株式会社